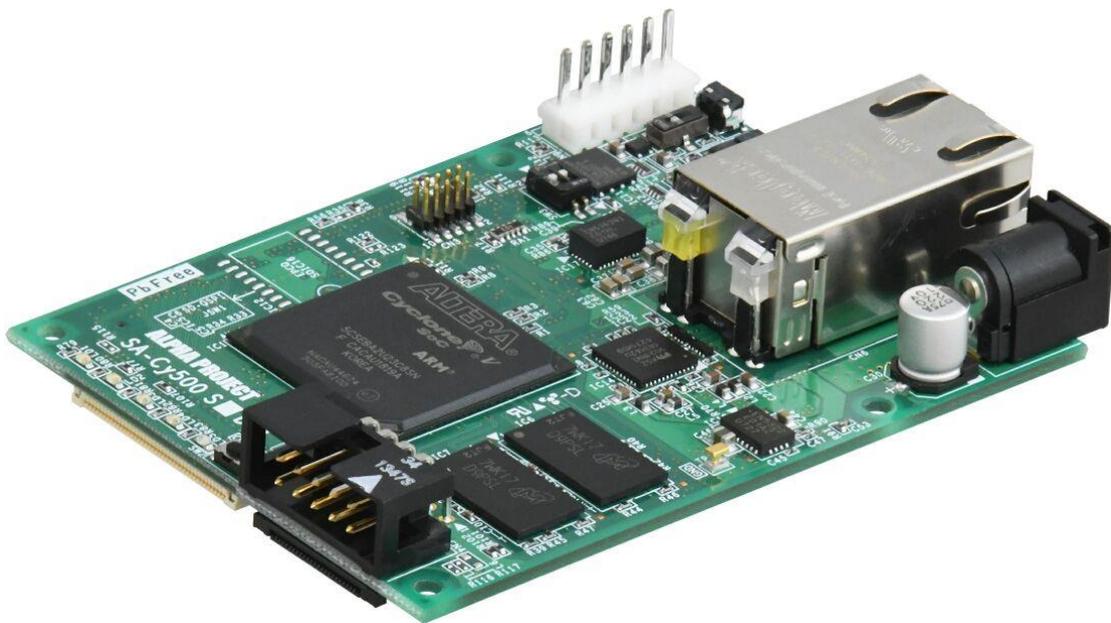


Intel® SoC ボード

SA-Cy500S

Hardware Manual

3.4 版



ALPHA PROJECT

<https://www.apnet.co.jp>



ご使用になる前に

このたびは SA-Cy500S をお買い上げいただき誠にありがとうございます。
本製品をお役立て頂くために、このマニュアルを十分お読みいただき、正しくお使いください。
今後共、弊社製品をご愛顧賜りますよう宜しくお願いいたします。

梱包内容

本製品は、下記の品より構成されております。梱包内容をご確認のうえ、万が一、不足しているものがあればお買い上げの販売店までご連絡ください。

SA-Cy500S 梱包内容			
●SA-Cy500S	1 枚	●ヒートシンク	1 個
●マニュアル・サンプルプログラムのダウンロード・保証のご案内			1 枚

■本製品の内容及び仕様は予告なしに変更されることがありますのでご了承ください。

取り扱い上の注意



- 本製品には、民生用の一般電子部品が使用されており、一般的な民生用途の電子機器への使用を意図して設計されています。宇宙、航空、医療、原子力、運輸、交通、各種安全装置などで人命、事故に関わる用途および多大な物的損害を発生させる恐れのある用途でのご使用はご遠慮ください。
- 極端な高温下や低温下、または振動の激しい環境での使用はご遠慮ください。
- 水中、高湿度、油の多い環境での使用はご遠慮ください。
- 腐食性ガス、可燃性ガス等の環境中での使用はご遠慮ください。
- 基板の表面が水に濡れていたり、金属に接触した状態で電源を投入しないでください。
- 定格を越える電源を加えないでください。

- ノイズの多い環境での動作は保証しかねますのでご了承ください。
- 連続的な振動(車載等)や衝撃が発生する環境下での使用は、製品寿命を縮め、故障が発生しやすくなりますのでご注意ください。
- 発煙や発火、異常な発熱があった場合には、すぐに電源を切ってください。
- 本製品を仕様範囲を越える条件において使用した場合、故障の原因となりますので、ご注意ください。
- 本書に記載される製品および技術のうち、「外国為替および外国貿易法」に定める規制貨物等(技術)に該当するものを輸出または国外に持ち出す場合には同法に基づく輸出許可が必要です。
- 本製品マニュアル、回路図の著作権は株式会社アルファプロジェクトが保有しております。これらを無断で転用、掲載、譲渡、配布することは禁止します。

保証

- 保証期間内において、本マニュアル等に記載の注意事項に従い正常な使用状態で故障した場合、保証対象といたします。
- 製品保証の内外を問わず、製品を運用した結果による、直接および間接的損害については、弊社は一切補償いたしません。
- 保証対象は、製品本体とします。ソフトウェア・マニュアル・消耗品・梱包箱は保証対象外とさせていただきます。
- 本保証は日本国内においてのみ有効です。海外からのご依頼は受付しておりません。
- 製品保証規定の詳細につきましては、ホームページをご覧ください。

参考URL

下記の URL に本製品に関連するデバイスおよび規格の情報が掲載されておりますので、参考にしてください。

- インテル® FPGA <https://www.intel.co.jp/content/www/jp/ja/products/programmable.html>

コンテンツのダウンロードについて

SA-Cy500S 関連の回路図、サンプルプログラムなど各種資料は、弊社ホームページよりダウンロードできます。
詳しくは、製品添付の「マニュアル・サンプルプログラムのダウンロード・保証のご案内」をご覧ください。

- SA-Cy500S 製品ページ <https://www.apnet.co.jp/product/sa/sa-cy500s.html>

目次

1. 概要	1
1.1 製品概要	1
1.2 機能及び特長	1
1.3 仕様概要	3
1.4 外形仕様	4
1.5 回路構成	6
1.6 アドレスマップ	7
2. 機能	8
2.1 モード端子の設定	8
2.2 JP1~JP3	10
2.3 シリアル FlashROM	11
2.4 SDRAM	11
2.5 LED	12
2.6 スイッチ入力	14
2.7 クロック	15
2.8 EEPROM	16
2.9 リセット	17
2.10 リコンフィグレーション	18
3. 外部インタフェース	19
3.1 Ethernet インタフェース	19
3.2 USB インタフェース	21
3.3 microSD カードスロット	22
3.4 シリアルインタフェース	23
3.5 LCD インタフェース	24
3.6 カメラインタフェース	25
3.7 JTAG インタフェース	26
3.8 電源	28
3.9 拡張コネクタ	30

4. テクニカルデータ	33
4.1 外形寸法	33
4.2 外部回路との接続方法	34
4.3 放熱処理	34
5. 関連製品のご案内	35
5.1 周辺拡張アダプタ	35
5.2 タッチパネルLCDキット	36
5.3 AC アダプタ	37
5.4 Linux 開発キット	37
5.5 カメラモジュール	38
6. 製品サポートのご案内	38
7. エンジニアリングサービスのご案内	39

1. 概要

1.1 製品概要

SA-Cy500S は、インテルの Cyclone[®] V SoC を搭載したボードコンピュータです。
Cyclone[®] V SoC は、ARM 社 Cortex[™]-A9 を CPU コアとした HPS と、FPGA ファブリックを統合した SoC で、高性能のマイクロプロセッサの機能に加え、汎用性のある FPGA の機能により、様々なアプリケーションで使用することができます。
本ボードは外部接続コネクタへ外部拡張に必要な信号を引き出してありますので、各種試作用途及び製品への組込み用途など、幅広い対応が可能です。

1.2 機能及び特長

■ Cyclone[®] V SoC 「5CSEBA2U23C8SN」 を搭載

<概要>

HPS

Cortex-A9 プロセッサ搭載
SDRAM コントローラ・サブシステム
汎用ダイレクト・メモリ・アクセス(DMA)コントローラ 1 チャンネル
イーサネット・メディア・アクセスコントローラ
USB2.0 OTG
クワッド SPI フラッシュ・コントローラ
SD コントローラ
シリアル・ペリフェラル・インタフェース 2 チャンネル
I2C コントローラ 4 チャンネル
オンチップ RAM 64KByte
オンチップブート ROM 64KByte
UART 2 チャンネル
タイマ 4 チャンネル
ウォッチドッグタイマ 2 チャンネル
CAN コントローラ 2 チャンネル
最大動作周波数 600MHz

FPGA

Cyclone[®] V FPGA
ロジックエレメント 25K
ALM 9,434
レジスタ 37,736
メモリ M10K : 1,400Kbit、MLAB : 138Kbit
PLL 4 個

※機能詳細は Cyclone[®] V デバイス・ハンドブックをご参照ください。

- 大容量メモリを搭載
プログラムメモリとして、QSPI FLASHROM 16MByte、データメモリとしてDDR3-SDRAM 512Mbyteを搭載しています。
- Ethernetポートを搭載
10/100/1000BASE-TX対応のEthernetコネクタを搭載しています。
- USBポートを搭載
USB OTG(HIGH/FULL/LOW-SPEED対応)を1チャンネル搭載しています。
- 通信用コネクタを装備
シリアルI/Fコネクタを装備しておりますので、外付けにRS232アダプタ(PC-RS-04 別売)や、USBアダプタ(PC-USB-04 別売)、LANアダプタ(PC-LAN-02 別売)などを接続することで、簡単にPCとの通信が行えます。
- LCDコネクタを装備
LCDインタフェースコネクタに弊社製タッチパネルLCDキット(詳細は「5.関連製品のご案内」を参照)を接続することで、容易にGUI機能を追加することができます。
- カメラコネクタを装備
カメラインタフェースコネクタに弊社製カメラモジュール(詳細は「5.関連製品のご案内」を参照)を接続することで、容易にカメラ入力機能を追加することができます。
- JTAGコネクタを装備
USB Blaster用とCoreSight用の2つのJTAGコネクタを搭載しており、JTAGエミュレータを接続してプログラムのデバッグを行うことができます。
- 外部拡張が容易
外部接続用コネクタ(160pin)へ拡張に必要な信号線を引き出してありますので、外部拡張が容易です。
- 回路図を全て公開
回路図は全て公開されていますので、回路動作の確認やデバッグにお役立ていただけます。
また、教育や研修用途にも最適です。
- 小型基板
基板サイズは80 x 60mmと小型です。

1.3 仕様概要

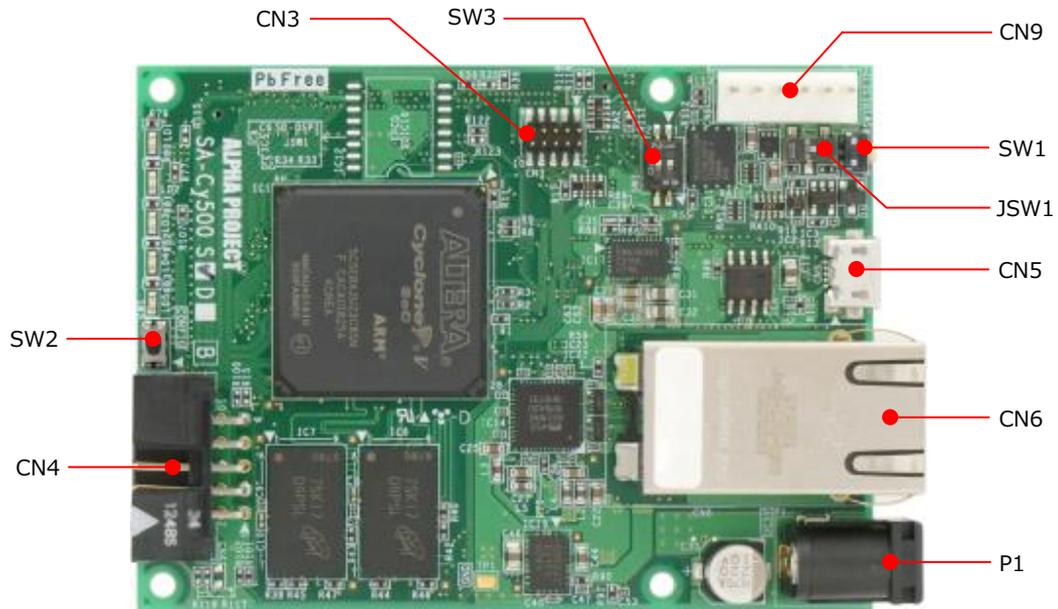
SA-Cy500S 仕様

機能		仕様
SoC		5CSEBA2U23C8SN (672Pin BGA)
HPS	CPU	Cortex-A9 シングルコア
	クロック	システムクロック 25MHz 水晶振動子(クロックジェネレータ) CPU クロック 最大 600MHz DDR3-SDRAM クロック 最大 400MHz
	メモリ	QSPI FlashROM 16MByte(S25FL128LAGNF Cypress 相当品) DDR3-SDRAM 512MByte(MT41J12816JT-125 × 2 Micron 相当品)
	Ethernet I/F	10/100/1000BASE-T 1 チャンネル Ethernet トランシーバ KSZ9021RN(Microchip)
	USB I/F	CPU 内蔵 USB コントローラ USB PHY USB3300(Microchip) USB2.0 Host/Function(OTG High-Speed) 1 チャンネル
	SD カード I/F	microSD カードスロット 1 チャンネル
	シリアル I/F	調歩同期式 2 チャンネル 1 チャンネルは通信コネクタに接続
	DipSW 入力	汎用入力用 2 点
FPGA	FPGA	Cyclone® V ロジック数 25K LE、9434 ALM メモリ M10K 1400Kbit、MLAB 138Kbit PLL 4 個
	LCD I/F	LCD インタフェースコネクタに接続(RGB666)
	カメラ I/F	カメラインタフェースコネクタに接続
共通	LED	モニタ LED 4 個(HPS に 2 個、FPGA に 2 個接続) 電源 LED 1 個
	JTAG I/F	USB Blaster 接続用 10pin コネクタ(HPS/FPGA 両対応) Arm JTAG デバッガ接続用ハーフピッチ 10pin コネクタ(HPS 専用)
	リセット	リセット IC、リセット SW、リコンフィグレーション SW 搭載
	拡張コネクタ	160pin コネクタ HPS 端子 19 本 FPGA 端子 91 本
	電源	DC5V±5%
	消費電流	Typ 750 mA (弊社サンプルプログラム動作時)
	使用環境条件	0~60℃ (結露なし)
	寸法	80 x 60 mm (突起物を除く)

Table 1.3-1 仕様概要

1.4 外形仕様

・部品面



・半田面

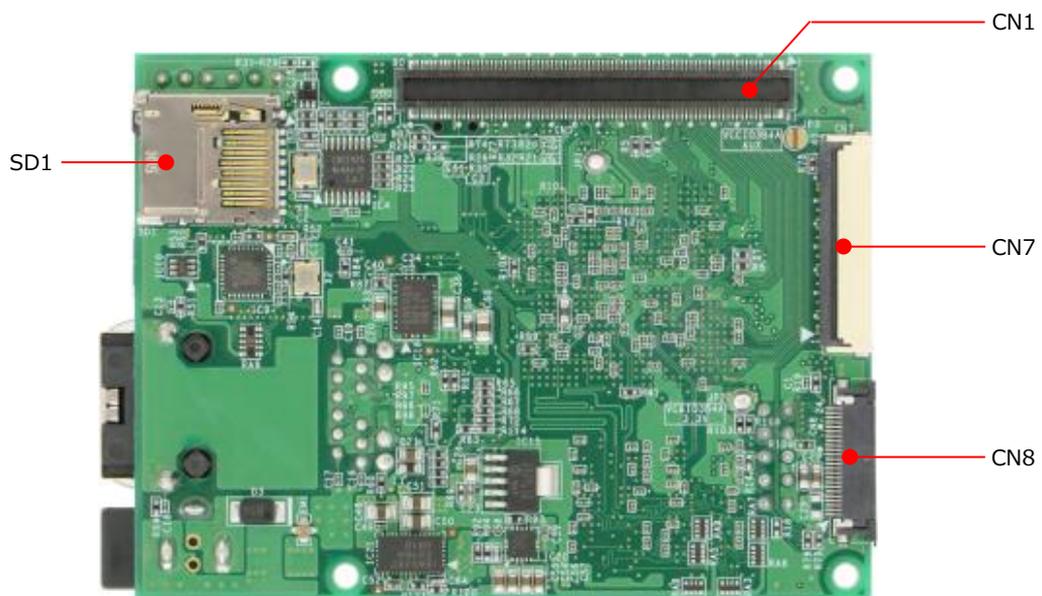


Fig 1.4-1 外形図

コネクタ番号	コネクタ型番/メーカー	用途	備考
CN1	WR-160PB-VF-N1 / JAE	拡張コネクタ	
CN3	20021121-00010C4LF / FCI	JTAG コネクタ(HPS 用)	
CN4	XG4C-1034 / OMRON	JTAG コネクタ(HPS/FPGA 用)	
CN5	ZX62-AB-5PA(11) / ヒロセ	USB micro AB コネクタ	
CN6	0826-1X1T-32-F / Bel Fuse	Gigabit Ethernet コネクタ	
CN7	XF2M-4015-1A / OMRON	LCD インタフェースコネクタ	
CN8	SFV24R-2STE1HLF / FCI	カメラインタフェースコネクタ	
CN9	B6P-SHF-1AA / 日圧	シリアル通信コネクタ	
CN10	B2P-SHF-1AA / 日圧	電源コネクタ	未実装
P1	PJ-002AH / CUI	DC ジャック	
SD1	DM3BT-DSF-PEJS / ヒロセ	microSD カードコネクタ	

Table 1.4-2 コネクター一覧

1.5 回路構成

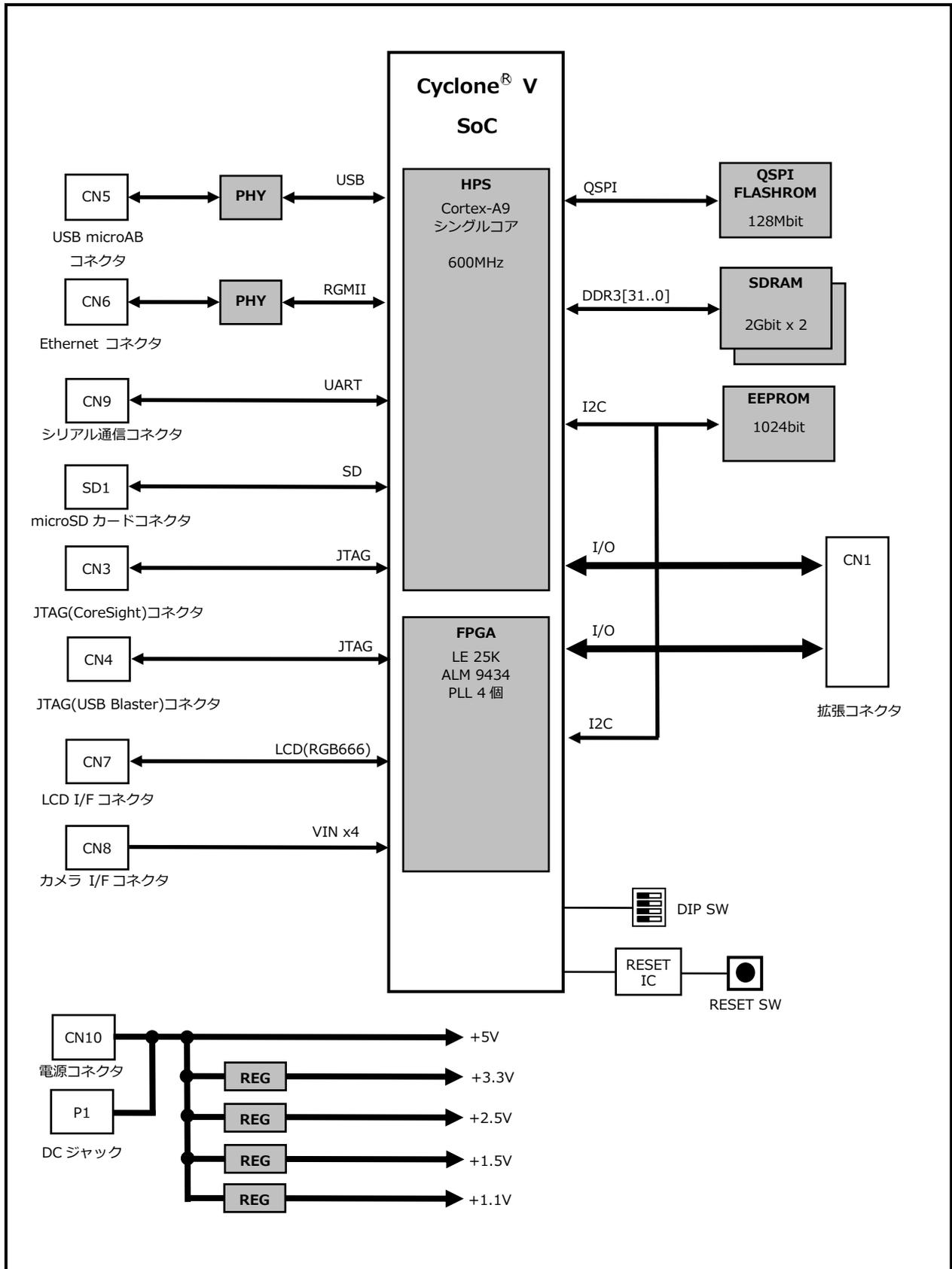


Fig 1.5-1 SA-Cy500S 構成ブロック図

1.6 アドレスマップ

アドレス	MPU	non-MPU
H' FFFF_FFFF H' FFFF_0000	On-Chip RAM	On-Chip RAM
H' FFFE_FFFF H' FFFE_0000	SCU & L2 Registers	
H' FFFD_FFFF H' FFFD_0000	Boot ROM	
H' FFFC_FFFF H' FF40_0000	Peripherals & L3 GPV	Peripherals & L3 GPV
H' FF3F_FFFF H' FF20_0000	Lightweight FPGA Slaves	Lightweight FPGA Slaves
H' FF1F_FFFF H' FF00_0000	DAP	DAP
H' FEFF_FFFF H' FC00_0000	STM	STM
H' FBFF_FFFF H' C000_0000	FPGA Slaves	FPGA Slaves
H' BFFF_FFFF H' 8000_0000	SDRAM	ACP
H' 7FFF_FFFF H' 0010_0000		SDRAM
H' 000F_FFFF H' 0001_0000		
H' 0000_FFFF H' 0000_0000	Boot ROM or On-Chip RAM	Boot ROM or On-Chip RAM

Fig 1.6-1 アドレスマップ

*

アドレスマップの詳細につきましては、Cyclone® V デバイス・ハンドブックを参照してください。

本基板上の I2C デバイス

アドレス(7bit)	デバイス	用途
1100100	CDCE925	クロックジェネレータ
1010xxx	24LC01BT-I/LT	EEPROM

Fig 1.6-2 I2C アドレス一覧

*

I2C アドレスの詳細につきましては、各デバイスのデータシートを参照してください。

FPGA ファブリック側(Bank5A)に、I2C-IP を実装する場合を想定して I2C 信号を接続しています(#AA23,#AA24)。

Linux 開発キットに含まれるプロジェクトには I2C の IP は含まれていません(端子は Hi-Z 状態であり、アドレスも存在しません)。

2. 機能

2.1 モード端子の設定

SA-Cy500Sでは、Cyclone® V SoCのコンフィグレーションモード、ブートモードの設定を行うことができます。

本機の工場出荷時のブート・コンフィグレーション設定では、microSDカードからHPSを単独でブートし、その後CPU側からFPGAファブリックをコンフィグレーションします。

モードの詳細につきましてはCyclone® V デバイス・ハンドブックを参照してください。

コンフィグレーションモード(FPGA コンフィグレーション方法の設定)	R109~R113 による設定変更
ブートモード(HPS ブートプログラムの所在を指定)	JSW1 にて設定

<出荷時設定>

コンフィグレーションモード : FPP x16 ファースト 圧縮イネーブル

ブートモード : microSD カードからブート(JSW1=ON)

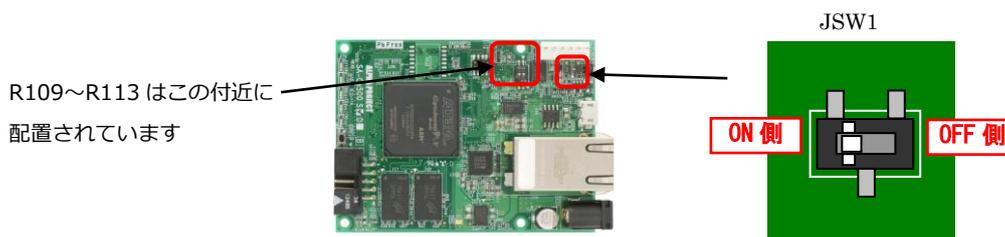
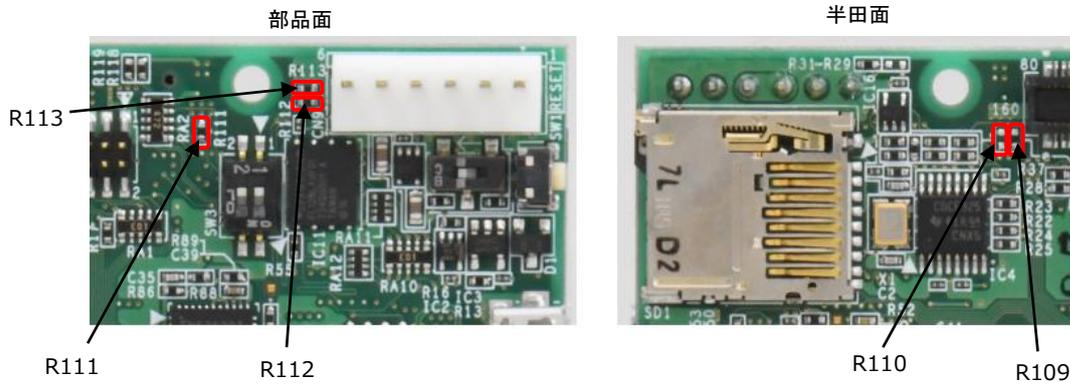


Fig 2.1-1 モード端子の設定

2.1.1 コンフィグレーションモードの設定

Cyclone® V SoC の FPGA 側のコンフィグレーションモードは、R109~R113 (1005 サイズ) で設定します。



コンフィグレーションモード	抵抗(0Ω)の有無					説明			備考	
	R109 MSEL0	R110 MSEL1	R111 MSEL2	R112 MSEL3	R113 MSEL4	圧縮機能	デザインセキュリティ機能	POR 遅延		
FPP x8	有(0)	有(0)	無(1)	有(0)	無(1)	ディセーブル	ディセーブル	ファスト		
	有(0)	有(0)	有(0)	無(1)	無(1)			スタンダード		
	無(1)	有(0)	無(1)	有(0)	無(1)	ディセーブル	イネーブル	ファスト		
	無(1)	有(0)	有(0)	無(1)	無(1)			スタンダード		
	有(0)	無(1)	無(1)	有(0)	無(1)	イネーブル	イネーブル/ ディセーブル	ファスト		
	有(0)	無(1)	有(0)	無(1)	無(1)			スタンダード		
FPP x16	有(0)	有(0)	有(0)	有(0)	有(0)	ディセーブル	ディセーブル	ファスト		
	有(0)	有(0)	無(1)	有(0)	有(0)			スタンダード		
	無(1)	有(0)	有(0)	有(0)	有(0)	ディセーブル	イネーブル	ファスト		
	無(1)	有(0)	無(1)	有(0)	有(0)			スタンダード		
	有(0)	無(1)	有(0)	有(0)	有(0)	イネーブル	イネーブル/ ディセーブル	ファスト		出荷時設定
	有(0)	無(1)	無(1)	有(0)	有(0)			スタンダード		
パッシブシリアル (PS)	有(0)	有(0)	有(0)	有(0)	無(1)	イネーブル/ ディセーブル	イネーブル/ ディセーブル	ファスト		
	無(1)	有(0)	有(0)	有(0)	無(1)	ディセーブル	ディセーブル	スタンダード		
アクティブシリアル (AS)	有(0)	無(1)	有(0)	有(0)	無(1)	イネーブル/ ディセーブル	イネーブル/ ディセーブル	ファスト		
	無(1)	無(1)	有(0)	有(0)	無(1)	ディセーブル	ディセーブル	スタンダード		
JTAG ベース・コンフィグレーション	上記のいずれかの設定を使用してください。					ディセーブル	ディセーブル	-		

Fig 2.1-2 コンフィグレーションモードの設定

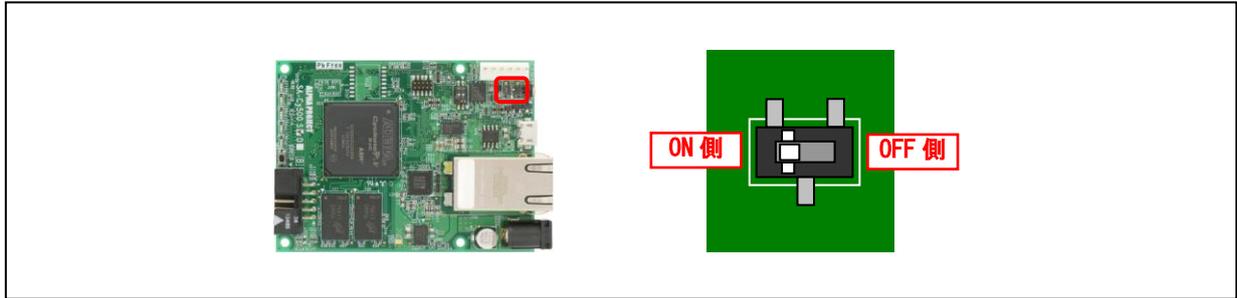
* コンフィグレーションモードの設定について

上記の組み合わせ以外の設定は設定禁止です。

コンフィグレーションモードの設定の詳細につきましては、Cyclone® V デバイス・ハンドブックを参照してください。

2.1.2 ブートモードの設定

SA-Cy500S は、Cyclone® V SoC の HPS 側のブートモードの設定を JSW 1 で設定します。



JSW 1	ブートデバイス	説明	備考
ON	SD/MMC	microSD カードスロット(SD1)からブートします	出荷時設定
OFF	SPI/QSPI	QSPI FlashROM(IC11)からブートします	

Fig 2.1-3 ブートモードの設定

2.2 JP1～JP3

SA-Cy500S は、Cyclone® V SoC の VCCBAT 電源と IO バンク 3B・4A の電源をハンダジャンパにより切り替えることができます。JP1～JP3 は、半田面側に配置されています。

JP	内容	説明	出荷時設定
1	VCCBAT 選択	FPGA#VCCBAT へ接続する電源の選択	短絡
		[開放]:CN1 #132pin から受給 [短絡]:基板内の 2.5V を接続	
2	VCCIO3B4A 選択	FPGA IO バンク 3B,4A の IO 電源選択	短絡
		[短絡]:基板内の 3.3V を接続	
3	VCCIO3B4A 選択	FPGA IO バンク 3B,4A の IO 電源選択	開放
		[短絡]:CN1 #5, #85(VCCIO_AUX)から受給	

Fig 2.2-1 JP1～JP3 の設定

* JP2,JP3 設定にて、VCCIO3B4A を CN1 から受給する場合の注意点

IO バンク 4A には、拡張 CN 向けの IO だけでなく CN7(LCD)、CN8(カメラ)用の IO が含まれます。

2.3 シリアル FlashROM

SA-Cy500S には標準で 16MByte のクワッド I/O に対応したシリアル FlashROM(S25FL128LAGNFx010(Cypress))を搭載しています。

* 旧基板製品で SPI Flash ブートをご利用のお客様へ [重要]

旧基板製品(2018 年 7 月以前出荷分)に実装されていた QSPI FlashROM "N25Q128A13EF"の保守・廃品化により、"S25FL128LAGNF"に変更いたしました。

2.1.2 項 ブートモード設定において JSW1=ON の場合は影響がありませんが、JSW1=OFF(QSPI FlashROM からブートする場合、旧製品のプリローダと u-boot のままだと、新しいデバイスに対応していないために正常起動できません。この場合は、プリローダと u-boot を更新する必要があります。

更新方法につきましては、ソフトウェアマニュアル 9.5 項を参照ください。

2.4 SDRAM

SA-Cy500S には標準で 512MByte の DDR3-SDRAM(MT41J128M16 (micron) 2 個)が搭載されています。Cyclone® V SoC の HPS 側に 32bit バスで接続されています。

2.5 LED

SA-Cy500S には、簡易テスト用にモニタ LED 緑、橙が各 2 つ、電源 LED(赤)が 1 つ実装されています。

2.5.1 モニタ LED

SA-Cy500S に搭載されているモニタ LED は、HPS 側の I/O ポートに 2 個、FPGA 側の I/O ポートに 2 個、それぞれ接続されています。以下にモニタ LED の回路構成を示します。

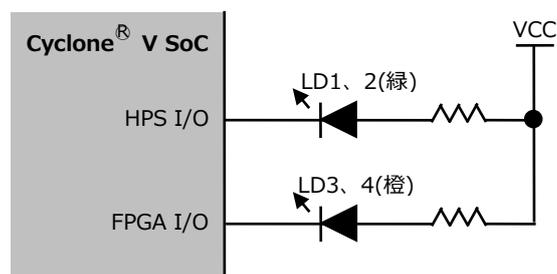


Fig 2.5-1 モニタ LED 回路構成

ポートの出力	LD1~4
LOW	点灯
HIGH	消灯

Table 2.5-1 モニタ LED の制御

LED 部品番号	発光色	接続端子名	接続端子番号
LD1	緑	SDMMC_D7/USB0_D7/HPS_GPIO43	B4
LD2	緑	SDMMC_D6/USB0_D6/HPS_GPIO42	H12
LD3	橙	IO/DATA14/DIFFIO_RX_B5n/DQ1B	V10
LD4	橙	IO/DATA15/DIFFIO_TX_B6p/DQ1B	AC4

Table 2.5-2 モニタ LED の接続端子

2.5.2 電源 LED

SA-Cy500S に搭載されている電源 LED は、電源を投入すると自動的に点灯します。電源 LED は HPS や FPGA から制御することはできません。

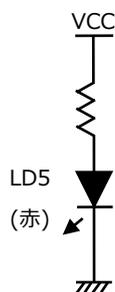


Fig 2.5-2 電源 LED 回路構成

電源の状態	LD5
OFF	消灯
ON	点灯(赤)

Table 2.5-3 電源 LED の状態

2.6 スイッチ入力

SA-Cy500S には、DipSW(入力 2 点)と、ハードウェア・リビジョン判定入力 が HPS 側に実装されています。

2.6.1 汎用 DipSW(SW3)入力

本入力は HPS_GPI[11:10]に割当てられています。以下に SW3 の回路構成を示します。

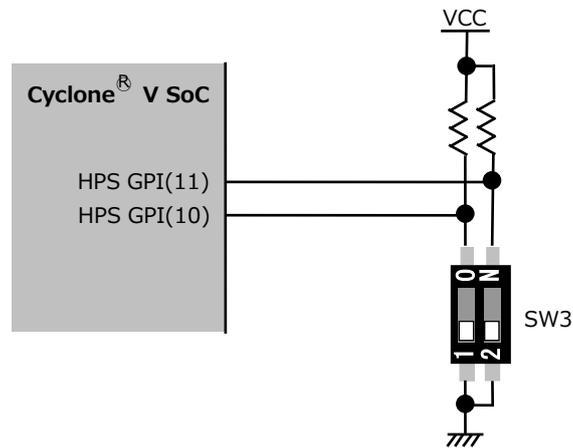


Fig 2.6-1 汎用 DipSW 回路構成

SW3	接続端子名	接続端子番号
No.1	HPS_GPI[10]	U15
No.2	HPS_GPI[11]	U16

Table 2.6-1 汎用 DipSW の接続端子

2.6.2 H/W リビジョン判定入力

本入力は HPS_GPI[3:1]に割当てられています(本端子は、内蔵 pullup 抵抗を有効にしています)。

本製品のハードウェア・リビジョン番号を判定するためのポートです。

旧製品をご使用のお客様は、本ポートにより 2.6.1 項の汎用 DipSW 入力が有効か判断することができます。

HPS_GPI[3:1]		備考
111	Rev. – (~2018/6 出荷分)	2.6.1 汎用 DipSW は無効
011	Rev.A (2018/7 以降出荷分)	2.6.1 汎用 DipSW は有効
101	Rev.B (2019/2 以降出荷分)	同上
その他	予約	

Table 2.6-2 H/W リビジョン判定入力

* HPS_GPI[3:1] 内蔵 pullup 抵抗の有効化について

H/W リビジョン判定入力回路は、HPS_GPI[3:1]信号端子について内蔵 pullup 抵抗を有効にする必要があります。

本製品 sample プロジェクトを使用せずにシステムを構築される場合は、Quartus Prime ソフトウェアの Assignment Editor にて HPS_GPI[3:1]各ポートについて“Weak Pull-Up Resistor”を“On”に設定してください。

Assignment Editor の詳細につきましては、Cyclone® V デバイス・ハンドブックを参照してください。

2.7 クロック

SA-Cy500S のクロックは以下のように構成されています。各クロックは、SA-Cy500S に搭載されているクロックシンセサイザ CDCE925 より供給されています。CDCE925 は出荷時で周波数を設定してありますが、各クロックの周波数を変更したい場合は CDCE925 の設定を変更してください*。CDCE925 の設定は I²C インタフェースで行います。

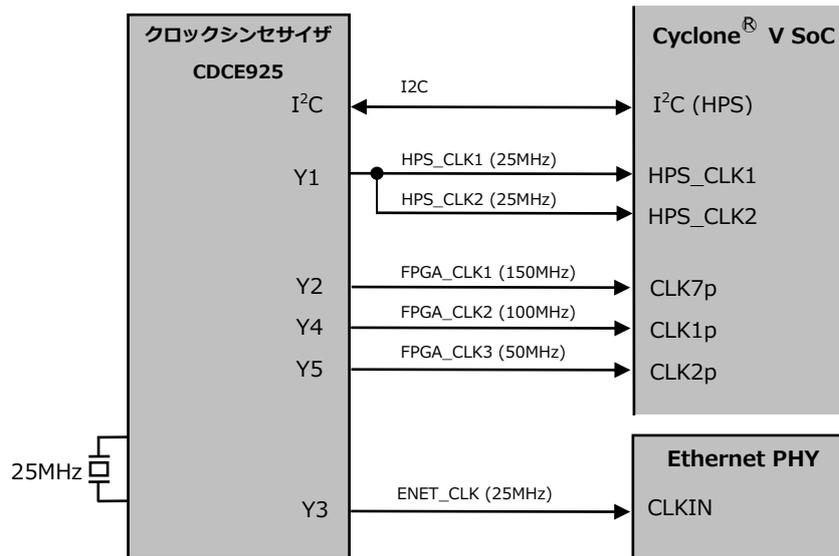


Fig 2.7-1 クロックの構成図

CDCE925 信号名	デフォルト 設定周波数	接続先	接続 端子番号
Y1	25MHz	HPS_CLK1	E20
		HPS_CLK2	D20
Y2	150MHz	IO/CLK7p/DIFFIO_RX_T1p	D12
Y3	25MHz	EthernetPHY	-
Y4	100MHz	IO/CLK1p/DIFFIO_RX_B23p	V12
Y5	50MHz	IO/CLK2p/DIFFIO_RX_B31p	Y13
SDA	-	I2C0_SDA/UART1_RX/SPIM1_CLK/HPS_GPIO63	C19
		IO/DIFFIO_TX_R7n	AA23
SCL	-	I2C0_SCL/UART1_TX/SPIM1_MOSI/HPS_GPIO64	B16
		IO/DIFFIO_TX_R7p/DQ1R	AA24

Table 2.7-1 各クロックの接続先

* CDCE925 出力周波数の設定について

CDCE925 の出力周波数の変更を行う場合、CPU から I²C インタフェースで CDCE925 へ設定値を書き込みます (アドレス 1100100)。CDCE925 の設定値は TI 社のクロックプログラミングツールを使用して生成することができます。詳細は TI 社 CDCE925 製品ページを参照してください。Altera SoC 搭載 CPU ボード Linux 開発キット (LK-CY-A01) には、上記デフォルトの出力周波数を設定するプログラムが含まれています。

2.8 EEPROM

SA-Cy500S には、パラメータ保存用として 1Kbit の EEPROM を搭載しています。出荷時状態では EEPROM に弊社で割り当てた Ethernet の MAC アドレスが書き込まれています。MAC アドレスにつきましては「3.1 Ethernet」を参照してください。

機能	使用
EEPROM	24LC01B(8bit × 128word) 書き換えサイクル 1,000,000 回 データ保持期間 200 年以上 I ² C スレーブアドレス(1010xxx)

Table 2.8-1 EEPROM 仕様概要

2.9 リセット

SA-Cy500S にはのリセット動作には以下の 3 つがあります。

1) 電源投入時及び電圧降下時のリセット動作

電源投入時に 3.3V 電源の電圧約 3.0V でシステムリセットされます。

RESETOUTn 信号は専用 IC(BD45301G(Rohm 製))により、約 100ms 間の LOW パルスが出力されます。

Cyclone® SoC の HPS はパワーオンリセット例外処理を開始します。

2) リセットスイッチによるリセット動作

リセットスイッチ SW1 を押すか、または EXRES 信号(CN1 124 ピン)を HIGH にすることにより強制的にリセットされます。こちら専用 IC により約 100ms 間の LOW パルスが出力されますので、Cyclone® SoC の HPS は、パワーオンリセット例外処理を開始します。

3) 外部からのリセット

RESETn 端子(CN1.46)へ外部回路を接続することにより、外部からのリセット動作が可能となります。

RESETn 信号はオープンドレイン出力なのでワイアード OR 接続が可能です。

この場合は、外部のリセット回路により、安定時間分のリセット信号を LOW レベルに保持する必要があります。

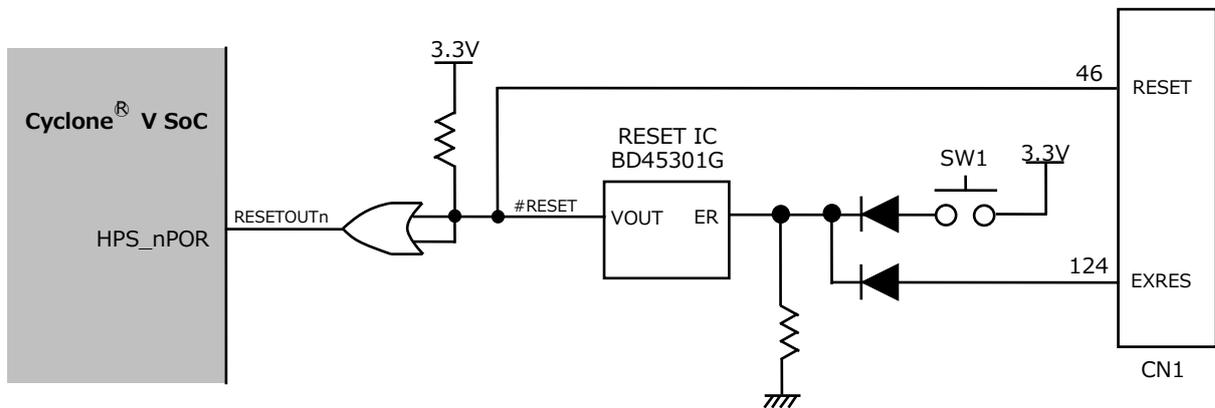


Fig 2.9-1 リセット回路構成

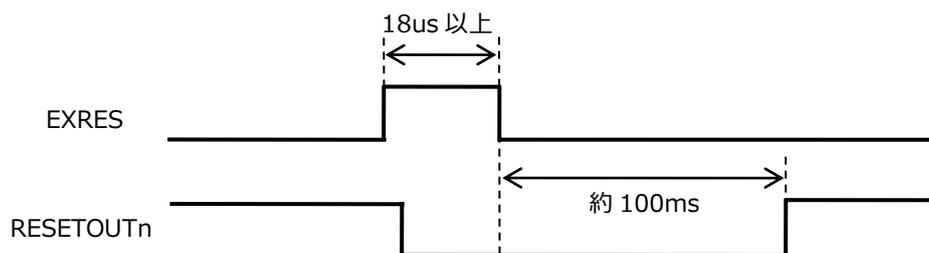


Fig 2.9-2 EXRES 信号と RESETOUTn 信号出力の関係

2.10 リコンフィグレーション

SA-Cy500S には、Cyclone[®] V SoC の FPGA のリコンフィグレーション用のスイッチが搭載されています。リコンフィグレーションスイッチ SW2 を押下すると、FPGA はリコンフィグレーションを開始します。

* 工場出荷時のブート・コンフィグレーションモード設定の場合の挙動について

SW2 を押下すると、FPGA fabric はコンフィグレーション開始のために待機状態(各 IO 端子は初期化)となりますが、コンフィグレーションモードが CPU からの書き込み(FPPx16)に設定されていますので、待機状態に移行したことを検出して CPU 側から再度コンフィグレーションを開始しない限り、待機状態を維持することになります。

3. 外部インタフェース

3.1 Ethernet インタフェース

SA-Cy500S は、10/100/1000BASE-T 対応の Ethernet インタフェースを 1 ポート備えています。

Cyclone® V SoC の HPS 内蔵のイーサネットコントローラを使用し、PHY とは RGMII で接続されます。以下に Ethernet インタフェースの構成を示します。

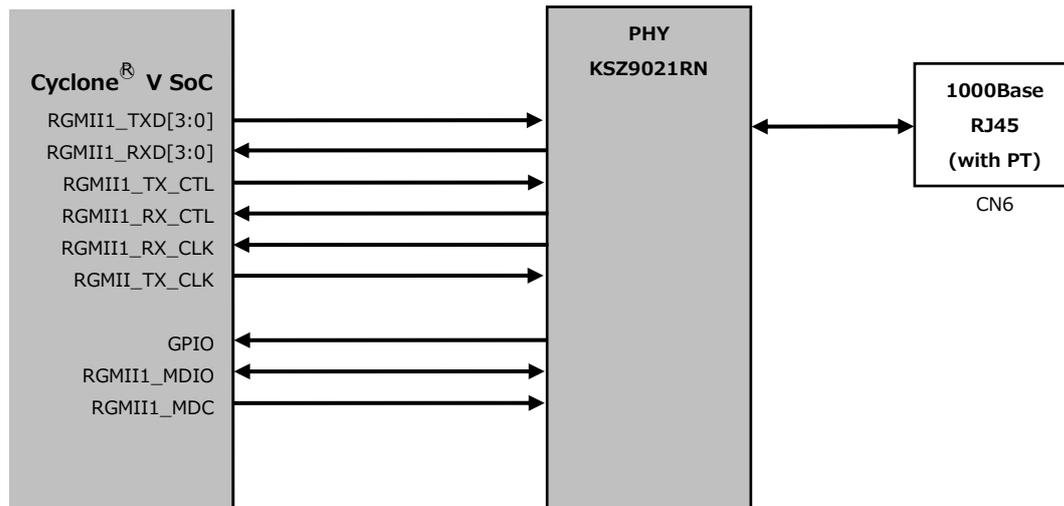


Fig 3.1-1 Ethernet インタフェース回路構成

3.1.1 コネクタピンアサイン

以下に Ethernet コネクタ (CN6) のピンアサインを示します。

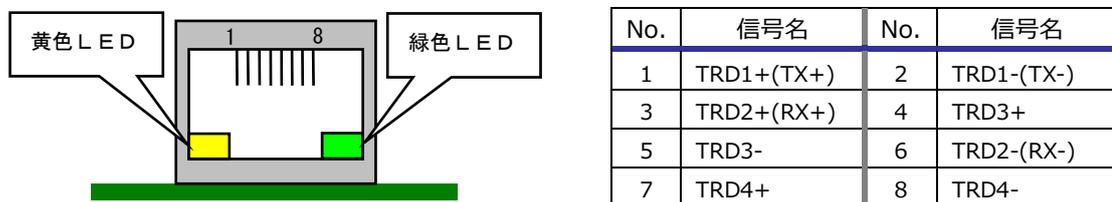


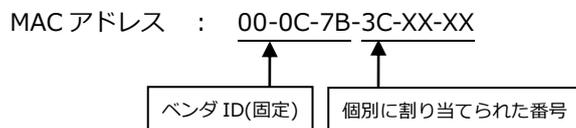
Fig 3.1-2 Ethernet コネクタ CN6 ピンアサイン

* 黄色 LED と緑色 LED

黄 : link on 、 緑 : Activity(RX,TX)

3.1.2 MAC アドレス

SA-Cy500S には、弊社で割り当てた MAC アドレスが出荷時に EEPROM に書き込まれています。MAC アドレスは基板上のシールに記載されています。



* MAC アドレスの変更について

SA-Cy500S に搭載されている EEPROM には、出荷時に弊社で割り当てた Ethernet の MAC アドレスが書き込まれています。MAC アドレスは、弊社が米国電気電子学会(IEEE)より取得したアドレスになります。MAC アドレスを変更される場合は、お客様にて IEEE より MAC アドレスを取得し、IEEE より割り当てられた MAC アドレスを使用してください。

3.2 USB インタフェース

SA-Cy500S は、USB ポート(OTG)を 1 チャンネル備えています。

Cyclone® V SoC の HPS 内蔵の USB コントローラを使用し、USB2.0 High-Speed に対応しています。

以下に USB インタフェースの構成を示します。

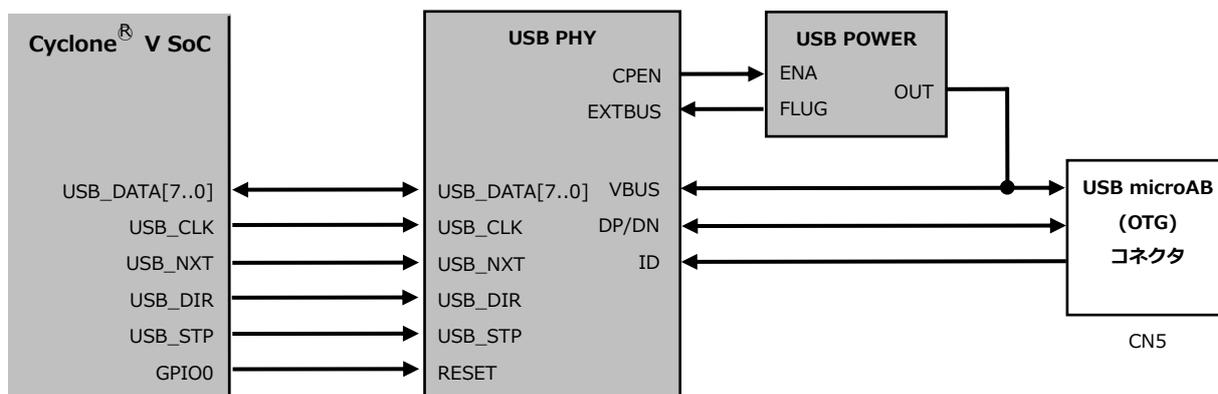


Fig 3.2-1 USB インタフェース回路構成

3.3 microSD カードスロット

SA-Cy500S は、microSD カードスロットを 1 ポート備えています。Cyclone® V SoC の HPS 内蔵の SD カードインタフェースを使用しています。以下に microSD カードコネクタのピンアサインを示します。

No.	信号名	機能
1	SD_DATA2	SD データ[2]
2	SD_DATA3	SD データ[3]
3	SD_CMD	SD コマンド
4	3.3V	電源
5	SD_CLK	SD クロック
6	GND	GND
7	SD_DATA0	SD データ[0]
8	SD_DATA1	SD データ[1]
9	SD_CD	カード検出 Low = 検出 High = 未検出

Table 3.3-1 microSD カードコネクタ SD1 ピンアサイン

3.4 シリアルインタフェース

SA-Cy500S はシリアルインタフェースコネクタを備えています。Cyclone® V SoC の HPS 内蔵の UART のチャンネルを使用しています。

弊社製インタフェースコンバータシリーズを使用し機能を拡張するなど様々な用途でお使いいただけます。シリアルインタフェースコンバータシリーズにつきましては「5 関連製品のご紹介」を参照してください。

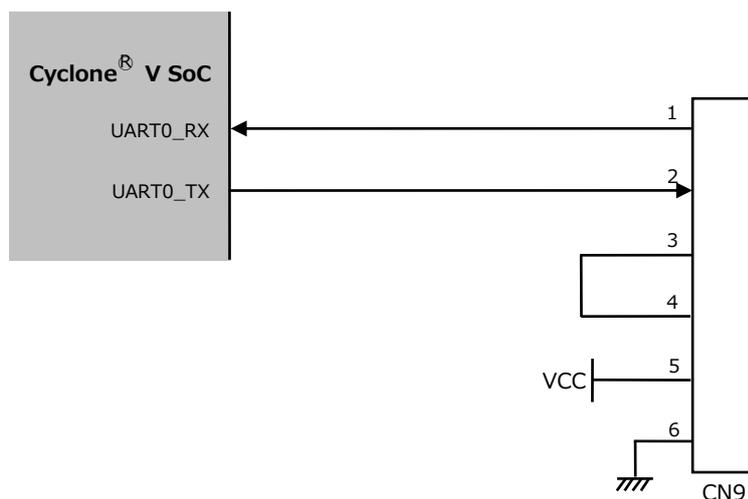


Fig 3.4-1 シリアルインタフェース回路構成

No.	信号名
1	UART0_RX
2	UART0_TX
3	4pin と短絡
4	3pin と短絡
5	VCC
6	GND

Table 3.4-1 シリアルインタフェースコネクタ CN9 ピンアサイン

3.5 LCD インタフェース

SA-Cy500S は LCD 接続用のインタフェースコネクタを備えています。LCD の各信号は Cyclone® V SoC の FPGA に接続されています。RGB666 フォーマットの LCD 接続用信号と、制御用 I²C 信号などが引き出されており、弊社製タッチパネル LCD キットを接続して使用することができます。タッチパネル LCD キットにつきましては「5 関連製品のご紹介」を参照してください。

LCD インタフェースとして使用しない場合には、通常の I/O としてもお使いいただけます(CN1 には存在しません)。

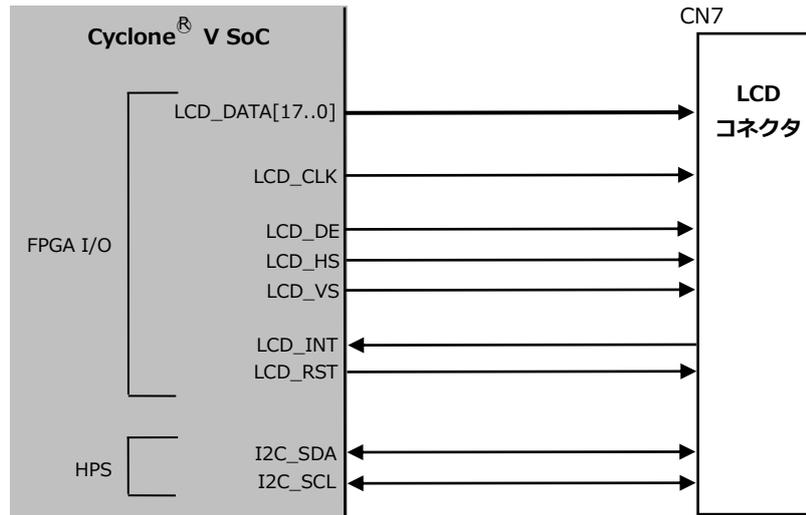


Fig 3.5-1 LCD インタフェース回路構成

No.	信号名	No.	信号名
1	VCC	2	VCC
3	VCC	4	GND
5	GND	6	LCD_DATA0
7	LCD_DATA1	8	LCD_DATA2
9	LCD_DATA3	10	LCD_DATA4
11	LCD_DATA5	12	GND
13	LCD_DATA6	14	LCD_DATA7
15	LCD_DATA8	16	LCD_DATA9
17	LCD_DATA10	18	LCD_DATA11
19	LCD_DATA12	20	LCD_DATA13
21	LCD_DATA14	22	LCD_DATA15
23	LCD_DATA16	24	LCD_DATA17
25	GND	26	LCD_DE
27	LCD_HS	28	LCD_VS
29	GND	30	LCD_CLK
31	GND	32	+5V
33	+5V	34	+5V
35	NC	36	I2C_SDA
37	I2C_SCL	38	LCD_INT
39	NC	40	LCD_RST

Table 3.5-1 LCD コネクタ(CN7)ピンアサイン

3.6 カメラインタフェース

SA-Cy500S はカメラモジュール接続用のインタフェースコネクタを備えています。カメラインタフェースの各信号は Cyclone® V SoC の FPGA に接続されています。10bit フォーマットのカメラ接続用信号と、制御用 I²C 信号などが引き出されており、弊社製カメラモジュールを接続して使用することができます。カメラモジュールにつきましては「5 関連製品のご紹介」を参照してください。

カメラインタフェースとして使用しない場合には、通常の I/O としてもお使いいただけます(CN1 には存在しません)。

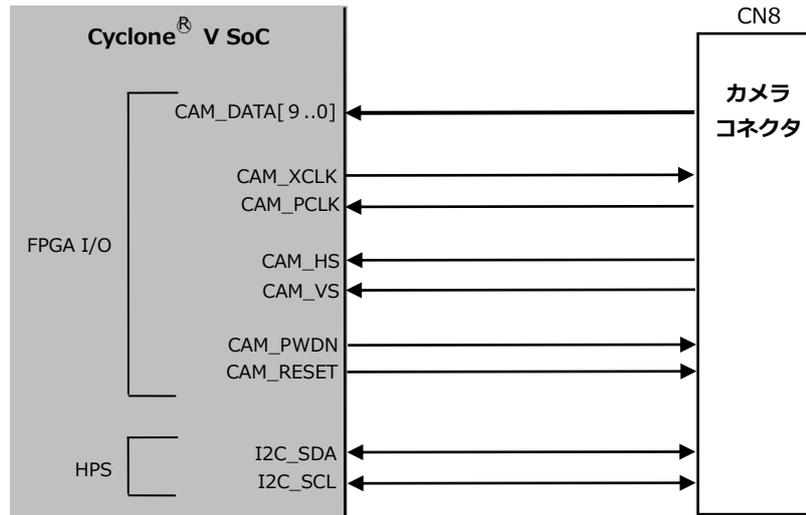


Fig 3.6-1 カメラインタフェース回路構成

No.	信号名	No.	信号名
1	I2C_SDA	2	I2C_SCL
3	CAM_PWDN	4	NC(+5V)
5	NC(+5V)	6	GND
7	+3.3V	8	GND
9	CAM_RESET	10	CAM_XCLK
11	GND	12	CAM_PCLK
13	CAM_DATA0	14	CAM_DATA1
15	CAM_DATA2	16	CAM_DATA3
17	CAM_DATA4	18	CAM_DATA5
19	CAM_DATA6	20	CAM_DATA7
21	CAM_DATA8	22	CAM_DATA9
23	CAM_HS	24	CAM_VS

Table 3.6-1 カメラインタフェースコネクタ(CN8)ピンアサイン

* カメラモジュール VS-CAM-01 をご使用の場合のデータ幅について

5.5 項で紹介しているカメラモジュール「VS-CAM-01」をご使用になる場合、13 番ピンと 14 番ピンは予約端子となり、CAM_DATA[9:2]が VS-CAM-01 モジュールからのカメラデータ入力となります(LSB : CAM_DATA2)。

3.7 JTAG インタフェース

SA-Cy500S はプログラムデバッグ用に JTAG インタフェースを備えています。

3.7.1 USB Blaster インタフェース

SA-Cy500S は、HPS、FPGA の共通のデバッグインタフェースとして USB Blaster 接続コネクタ(CN4)を備えています。USB Blaster インタフェースは、HPS の JTAG と、FPGA の JTAG がチェーン接続されています。USB Blaster を接続することで、HPS、FPGA のデバッグや、FPGA のコンフィグレーションを行うことができます。

以下に USB Blaster インタフェースの回路構成とピンアサインを示します。

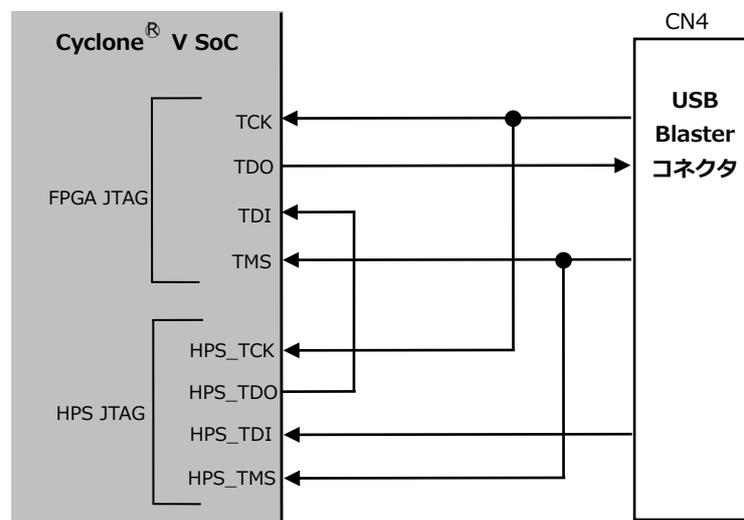


Fig 3.7-1 USB Blaster インタフェース回路構成

No.	信号名	備考	No.	信号名	備考
1	HPS_TCK TCK(FPGA)		2	GND	
3	TDO(FPGA)		4	3.3V	
5	HPS_TMS TMS(FPGA)		6	NC	
7	NC		8	NC	
9	HPS_TDI		10	GND	

Table 3.7-1 USB Blaster インタフェースコネクタ(CN4)ピンアサイン

3.7.2 Coresight インタフェース

SA-Cy500S は、HPS のデバッグインタフェースとして、CoreSight インタフェースコネクタ(CN3)を備えています。CoreSight インタフェースコネクタはハーフピッチ 10pin コネクタとなっており、各社 Cortex-A9 対応の JTAG デバッガを接続することができます。

以下に CoreSight インタフェースコネクタのピンアサインを示します。

No.	信号名	備考	No.	信号名	備考
1	3.3V		2	HPS_TMS	10KΩ PU
3	GND		4	HPS_TCK	10KΩ PU
5	GND		6	HPS_TDO	10KΩ PU
7	NC		8	HPS_TDI	10KΩ PU
9	GND		10	RESETn	1KΩ PU

Table 3.7-2 CoreSight インタフェース回路構成

* CoreSight インタフェースについて

(1)SA-Cy500S は、工場出荷時は USB Blaster インタフェースコネクタを使用して HPS と FPGA がチェーン接続されるように設定されています。CoreSight インタフェースコネクタ CN3 を使用して HPS と FPGA を独立させる場合は、最小限 R101~104 の 4 つの抵抗を未実装に設定する必要があります(CN3 未接続時のレベル固定のため、R14,R15,R18 に 1KΩ を実装することをお勧めします)。

3.8 電源

SA-Cy500S の電源の構成を以下に示します。

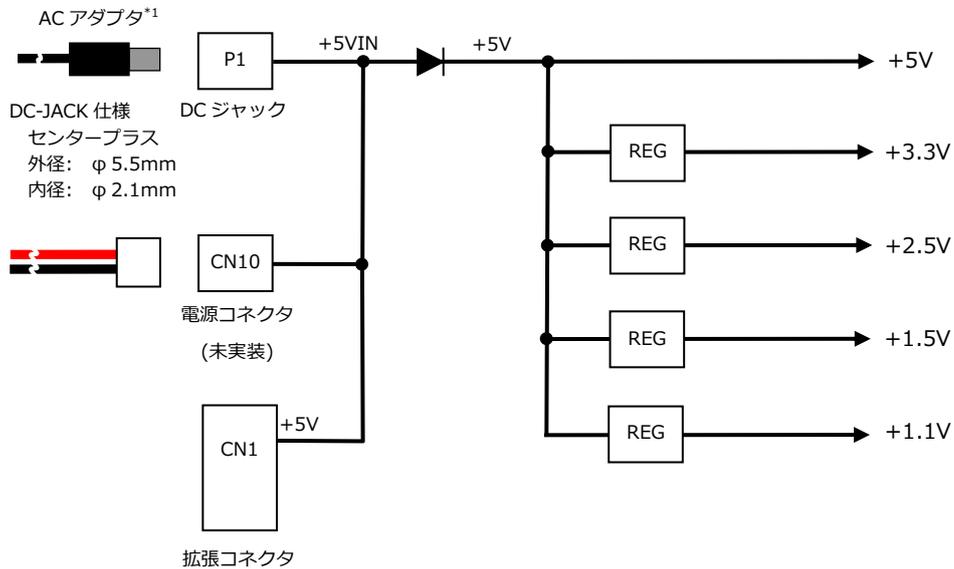


Fig 3.8-1 電源の構成

*1 ACアダプタについて

P1には、弊社オプションのACアダプタの他、市販のACアダプタを接続することができます。

なお、市販のACアダプタを使用する場合には、スイッチングタイプで電源が安定化されたものを使用してください。

3.8.1 電源の供給例

SA-Cy500S は、単一 5V で動作します。電源を供給する方法として、以下の 2 通りの方法があります。

① DC ジャック(P1)から電源を供給する場合

DC ジャック P1 から電源を供給する場合は、P1 に DC5V の AC アダプタを接続してください。AC アダプタは外形φ 5.5mm、内径φ 2.1mm のセンタープラスのものを選定してください。AC アダプタ単体でも販売しております。詳細は「5.関連製品のご紹介」を参照してください。

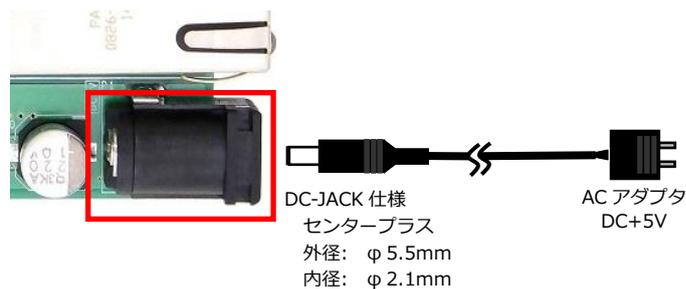


Fig 3.8-2 DC ジャック P1 からの電源供給例

② 拡張コネクタから DC5V を供給する場合

拡張コネクタから DC5V を供給する場合は拡張コネクタ CN1 の 5V 端子から DC5V 電源を供給してください。

3.9 拡張コネクタ

SA-Cy500 は外部拡張に必要な信号を CN1 に引き出してあります。以下に拡張コネクタのピンアサインを示します。

No.	信号名	回路図上の信号名	BANK	備考	No.	信号名	回路図上の信号名	BANK	備考
1	3.3V	3.3V			81	3.3V	3.3V		
2	3.3V	3.3V			82	3.3V	3.3V		
3	GND	GND			83	GND	GND		
4	GND	GND			84	GND	GND		
5	VCCIO_AUX	VCCIO_AUX			85	VCCIO_AUX	VCCIO_AUX		
6	IO/DIFFIO_TX_B64p/DQ8B/DQ2B	B4A_IO_B64p	4A		86	IO/DIFFIO_RX_B62p/DQ8B/DQ2B	B4A_IO_B62p	4A	
7	IO/DIFFIO_TX_B64n/DQ8B/DQ2B	B4A_IO_B64n	4A		87	IO/DIFFIO_RX_B62n/DQ8B/DQ2B	B4A_IO_B62n	4A	
8	IO/DIFFIO_TX_B61p/DQ8B/DQ2B	B4A_IO_B61p	4A		88	IO/DIFFIO_RX_B58p/DQ8B/DQ2B	B4A_IO_B58p	4A	
9	IO/DIFFIO_TX_B61n/DQ8B/DQ2B	B4A_IO_B61n	4A		89	IO/DIFFIO_RX_B58n/DQ8B/DQ2B	B4A_IO_B58n	4A	
10	IO/DIFFIO_TX_B56p/DQ7B/DQ2B	B4A_IO_B56p	4A		90	IO/DIFFIO_RX_B42p/DQ6B/DQ1B	B4A_IO_B42p	4A	
11	IO/DIFFIO_TX_B56n/DQ7B/DQ2B	B4A_IO_B56n	4A		91	IO/DIFFIO_RX_B42n/DQ6B/DQ1B	B4A_IO_B42n	4A	
12	IO/DIFFIO_TX_B44p	B4A_IO_B44p	4A		92	IO/DIFFIO_RX_B43p/DQ56B/DQ51B	B4A_IO_B43p	4A	
13	IO/DIFFIO_TX_B44n/DQ6B/DQ1B	B4A_IO_B44n	4A		93	IO/DIFFIO_RX_B43n/DQ56B/DQ51B	B4A_IO_B43n	4A	
14	IO/DIFFIO_TX_B40p/DQ5B/DQ1B	B4A_IO_B40p	4A		94	IO/DIFFIO_RX_B59p/DQ58B/DQ52B	B4A_IO_B59p	4A	
15	IO/DIFFIO_TX_B40n/DQ5B/DQ1B	B4A_IO_B40n	4A		95	IO/DIFFIO_RX_B59n/DQ58B/DQ52B	B4A_IO_B59n	4A	
16	IO/DIFFIO_RX_B22p/DQ3B	B3B_IO_B22p	3B		96	IO/CLK3p/DIFFIO_RX_B39p	B4A_CLK3p	4A	4.7KΩ PD *1
17	IO/DIFFIO_RX_B22n/DQ3B	B3B_IO_B22n	3B		97	IO/CLK3n/DIFFIO_RX_B39n	B4A_CLK3n	4A	4.7KΩ PD *1
18	IO/DIFFIO_RX_B10p/DQ2B	B3B_IO_B10p	3B		98	IO/DIFFIO_TX_B13p/DQ2B	B3B_IO_B13p	3B	
19	IO/DIFFIO_RX_B10n/DQ2B	B3B_IO_B10n	3B		99	IO/DIFFIO_TX_B13n/DQ2B	B3B_IO_B13n	3B	
20	GND	GND			100	GND	GND		
21	GND	GND			101	IO/DIFFIO_TX_B17p/DQ3B	B3B_IO_B17p	3B	
22	3.3V	3.3V			102	IO/DIFFIO_TX_B17n	B3B_IO_B17n	3B	
23	IO/DIFFIO_RX_B18p/DQ3B	B3B_IO_B18p	3B		103	IO/DIFFIO_TX_B16p/DQ2B	B3B_IO_B16p	3B	
24	IO/DIFFIO_RX_B18n/DQ3B	B3B_IO_B18n	3B		104	IO/DIFFIO_TX_B16n/DQ2B	B3B_IO_B16n	3B	
25	IO/DIFFIO_TX_B41p/DQ6B/DQ1B	B4A_IO_B41p	4A		105	IO/DIFFIO_TX_B9p/DQ2B	B3B_IO_B9p	3B	
26	IO/DIFFIO_TX_B12p	B3B_IO_B12p	3B		106	IO/DIFFIO_TX_B9n	B3B_IO_B9n	3B	
27	IO/DIFFIO_TX_B12n/DQ2B	B3B_IO_B12n	3B		107	IO/DIFFIO_RX_B14p/DQ2B	B3B_IO_B14p	3B	
28	IO/DIFFIO_TX_B24p/DQ3B	B3B_IO_B24p	3B		108	IO/DIFFIO_RX_B14n/DQ2B	B3B_IO_B14n	3B	
29	IO/DIFFIO_TX_B24n/DQ3B	B3B_IO_B24n	3B		109	IO/DIFFIO_TX_B60n/DQ8B/DQ2B	B4A_IO_B60n	4A	
30	IO/FPLL_BL_CLKOUT0/FPLL_BL_CLKOUTp/FPLL_BL_FB/DIFFIO_TX_B21p/DQ3B	B3B_IO_B21p	3B		110	IO/CLK0p/FPLL_BL_FBp/DIFFIO_RX_B15p	B3B_CLK0p	3B	4.7KΩ PD *1
31	IO/FPLL_BL_CLKOUT1/FPLL_BL_CLKOUTn/DIFFIO_TX_B21n/DQ3B	B3B_IO_B21n	3B		111	IO/CLK0n/FPLL_BL_FFn/DIFFIO_RX_B15n	B3B_CLK0n	3B	4.7KΩ PD *1
32	IO/DIFFIO_TX_B20p	B3B_IO_B20p	3B		112	IO/DIFFIO_RX_B11p/DQ52B	B3B_IO_B11p	3B	
33	IO/DIFFIO_TX_B20n/DQ3B	B3B_IO_B20n	3B		113	IO/DIFFIO_RX_B11n/DQ52B	B3B_IO_B11n	3B	
34	IO/DIFFIO_TX_B57p/DQ8B/DQ2B	B4A_IO_B57p	4A		114	IO/DIFFIO_RX_B19p/DQ53B	B3B_IO_B19p	3B	
35	GND	GND			115	IO/DIFFIO_RX_B19n/DQ53B	B3B_IO_B19n	3B	
36	GND	GND			116	GND	GND		
37	IO/RZQ_1/DIFFIO_TX_R1p/DQ1R	B5A_IO_R1p	5A		117	IO/DEV_CLRN/DIFFIO_TX_R5n/DQ1R	B5A_IO_R5n	5A	

38	IO/PR_REQUEST/DIFFIO_TX_R1n/DQ1R	B5A_IO_R1n	5A		118	IO/DEV_OE/DIFFIO_TX_R5p	B5A_IO_R5p	5A	
39	IO/INIT_DONE/DIFFIO_RX_R2p	B5A_IO_R2p	5A		119	IO/DIFFIO_RX_R6p/DQS1R	B5A_IO_R6p	5A	
40	IO/CRC_ERROR/DIFFIO_RX_R2n	B5A_IO_R2n	5A		120	IO/DIFFIO_RX_R6n/DQSn1R	B5A_IO_R6n	5A	
41	IO/nCEO/DIFFIO_TX_R3p/DQ1R	B5A_IO_R3p	5A		121	IO/DIFFIO_RX_R8p/DQ1R	B5A_IO_R8p	5A	
42	IO/CvP_CONFDONE/DIFFIO_TX_R3n/DQ1R	B5A_IO_R3n	5A		122	IO/DIFFIO_RX_R8n/DQ1R	B5A_IO_R8n	5A	
43	IO/DIFFIO_RX_R4p/DQ1R	B5A_IO_R4p	5A		123	VCCBAT	VCCBAT		
44	IO/DIFFIO_RX_R4n/DQ1R	B5A_IO_R4n	5A		124	EXRES	EXRES		
45	GND	GND			125	GND	GND		
46	RESETn	RESETn			126	RESETOUTn	RESETOUTn		
47	IO/DATA8/DIFFIO_RX_B1p/DQ1B	B3A_IO_B1p	3A		127	IO/DATA10/DIFFIO_RX_B3n/DQSn1B	B3A_IO_B3n	3A	
48	IO/DATA6/DIFFIO_RX_B1n/DQ1B	B3A_IO_B1n	3A		128	IO/DATA12/DIFFIO_RX_B3p/DQS1B	B3A_IO_B3p	3A	
49	IO/DATA7/DIFFIO_TX_B2p/DQ1B	B3A_IO_B2p	3A		129	IO/DATA9/DIFFIO_TX_B4n/DQ1B	B3A_IO_B4n	3A	
50	IO/DATA5/DIFFIO_TX_B2n	B3A_IO_B2n	3A		130	IO/DATA11/DIFFIO_TX_B4p	B3A_IO_B4p	3A	
51	IO/PR_DONE/DIFFIO_RX_B7n	B3A_IO_B7n	3A		131	IO/PR_READY/DIFFIO_TX_B8n/DQ1B	B3A_IO_B8n	3A	
52	IO/PR_ERROR/DIFFIO_RX_B7p	B3A_IO_B7p	3A	*2	132	IO/PR_ERROR/DIFFIO_RX_B7p	B3A_IO_B7p	3A	*2
53	GND	GND			133	UART0_TX/CLKSEL1/CAN0_TX/SPIM1_SS1/HPS_GPIO62	CLKSEL1		
54	SDMMC_PWREN/USB0_D1/HPS_GPIO37	HPS_GPIO37			134	TRACE_D4/SPIS1_CLK/CAN1_RX/HPS_GPIO53	HPS_GPIO53		
55	SDMMC_D4/USB0_D4/HPS_GPIO40	HPS_GPIO40			135	TRACE_D5/SPIS1_MOSI/CAN1_TX/HPS_GPIO54	HPS_GPIO54		
56	SDMMC_FB_CLK_IN/USB0_CLK/HPS_GPIO44	HPS_GPIO44			136	TRACE_D6/SPIS1_SS0/I2C0_SDA/HPS_GPIO55	HPS_GPIO55		
57	TRACE_CLK/HPS_GPIO48	HPS_GPIO48			137	TRACE_D7/SPIS1_MISO/I2C0_SCL/HPS_GPIO56	HPS_GPIO56		
58	TRACE_D0/SPIS0_CLK/UART0_RX/HPS_GPIO49	HPS_GPIO49			138	SPIM0_CLK/I2C1_SDA/UART0_CTS/HPS_GPIO57	HPS_GPIO57		
59	TRACE_D1/SPIS0_MOSI/UART0_TX/HPS_GPIO50	HPS_GPIO50			139	SPIM0_MOSI/I2C1_SCL/UART0_RTS/HPS_GPIO58	HPS_GPIO58		
60	TRACE_D2/SPIS0_MISO/I2C1_SDA/HPS_GPIO51	HPS_GPIO51			140	SPIM0_MISO/CAN1_RX/UART1_CTS/HPS_GPIO59	HPS_GPIO59		
61	TRACE_D3/SPIS0_SS0/I2C1_SCL/HPS_GPIO52	HPS_GPIO52			141	UART0_RX/CAN0_RX/SPIM0_SS1/HPS_GPIO61	HPS_GPIO61		
62	I2C0_SCL/UART1_TX/SPIM1_MOSI/HPS_GPIO64	I2C_SCL		2.2KΩ PD	142	SPIM0_SS0/BOOTSEL0/CAN1_TX/UART1_RTS/HPS_GPIO60	BOOTSEL0		
63	I2C0_SDA/UART1_RX/SPIM1_CLK/HPS_GPIO63	I2C_SDA		2.2KΩ PD	143	NAND_WE/BOOTSEL2/QSPI_SS1/HPS_GPIO28	BOOTSEL2		
64	1.5V	1.5V			144	1.5V	1.5V		
65	GND	GND			145	GND	GND		
66	IO/CLK6p/FPLL_TL_FBp/DIFFIO_RX_T9p	B8A_CLK6p	8A	4.7KΩ PD *1	146	IO/DIFFIO_TX_T22p	B8A_IO_T22p	8A	
67	IO/CLK6n/FPLL_TL_Fbn/DIFFIO_RX_T9n	B8A_CLK6n	8A	4.7KΩ PD *1	147	IO/DIFFIO_TX_T22n	B8A_IO_T22n	8A	
68	IO/FPLL_TL_CLKOUT0/FPLL_TL_CLKOUTp/FPLL_TL_FB/DIFFIO_TX_T4p	B8A_IO_T4p	8A		148	IO/DIFFIO_RX_T23p	B8A_IO_T23p	8A	
69	IO/FPLL_TL_CLKOUT1/FPLL_TL_CLKOUTn/DIFFIO_TX_T4n	B8A_IO_T4n	8A		149	IO/DIFFIO_RX_T23n	B8A_IO_T23n	8A	
70	IO/DIFFIO_RX_T21p	B8A_IO_T21p	8A		150	IO/DIFFIO_TX_T24n	B8A_IO_T24n	8A	
71	IO/DIFFIO_RX_T21n	B8A_IO_T21n	8A		151	GND	GND		
72	3.3V	3.3V			152	3.3V	3.3V		

73	3.3V	3.3V			153	3.3V	3.3V		
74	3.3V	3.3V			154	3.3V	3.3V		
75	5.0V	+5VIN			155	5.0V	+5VIN		
76	5.0V	+5VIN			156	5.0V	+5VIN		
77	5.0V	+5VIN			157	5.0V	+5VIN		
78	5.0V	+5VIN			158	5.0V	+5VIN		
79	GND	GND			159	GND	GND		
80	GND	GND			160	GND	GND		

*1 CLKx 端子は、4.7K Ω 抵抗で GND に接続されています。

*2 52pin と 132pin は同じ信号が接続されていますが、132pin は R122 の 0 Ω (工場出荷時)を R123 へ載せ変える事で "nCONFIG"に変更することができます(この切替は、rev.A 基板以降のみ有効です)。

Table 3.9-1 拡張コネクタ CN1 ピンアサイン

4. テクニカルデータ

4.1 外形寸法

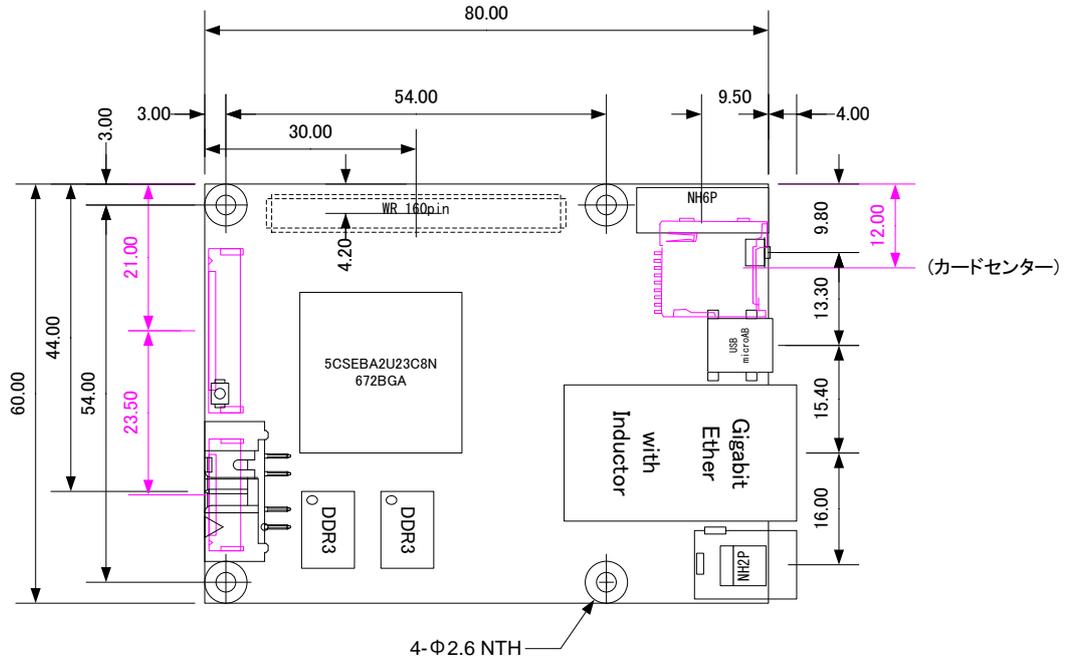


Fig 4.1-1 SA-Cy500S 外形寸法図

4.2 外部回路との接続方法

外部に回路を拡張する場合には、拡張コネクタを用いて、拡張基板とスタッキング接続を行います。

SA-Cy500S の拡張コネクタは WR-160PB-VF-N1 / JAE を使用しています。

以下に拡張基板側の推奨コネクタの型番を示します。

コネクタ型番	メーカー	勘合時の スタッキング高
WR-160SB-VF-N1	JAE	4.0mm
WR-160SB-VFH05-N1	JAE	4.5mm

Table 4.2-1 拡張コネクタ(CN1)対応スタッキングコネクタ

SA-Cy500S の半田面の中で最も高さのある部品は CN7 の 2.1mm です。SA-Cy500S に拡張基板を接続し、SA-Cy500S 下に部品を配置する場合には、SA-Cy500S で使用している部品との干渉にご注意ください。

市販のユニバーサル基板を使用して拡張を行う場合には、sunhayato 社製の変換基板「CKS-520」等を使用することもできます。

4.3 放熱処理

SA-Cy500S は、使用条件によっては SoC が非常に高熱になる場合があります、システムに影響を及ぼす可能性があります。その場合には、付属のヒートシンクを SoC に取り付け、放熱処理を行ってください。

ただし、本処理は SoC のジャンクション温度や、他デバイスを動作保証温度範囲内に保つことを保証するものではなく、放熱対策の一例になります。

使用する筐体、他熱源等の影響により、本処理を行った場合でも SoC のジャンクション温度や他デバイスが動作保証温度範囲を超える場合がありますので、ご注意ください。

付属のシートシンクは、下図のように、ヒートシンク裏面の両面テープを剥がし、SoC の中心に貼り付けてください。

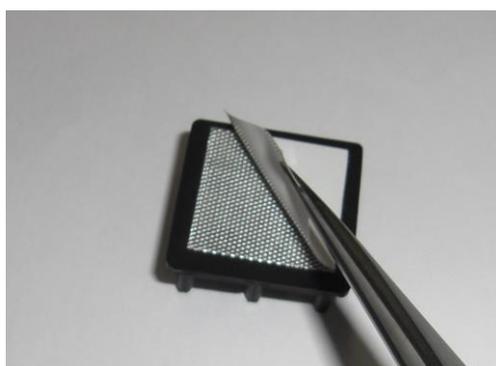


Fig 4.3-1 付属のヒートシンク 両面テープの取り外し

5. 関連製品のご案内

5.1 周辺拡張アダプタ

シリアルインタフェースコネクタ(CN9)に周辺拡張アダプタを接続することで、さまざまな機能を容易に追加できます。

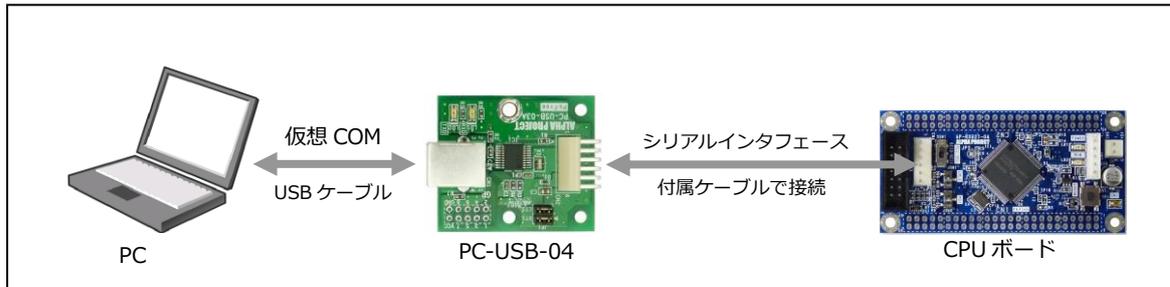
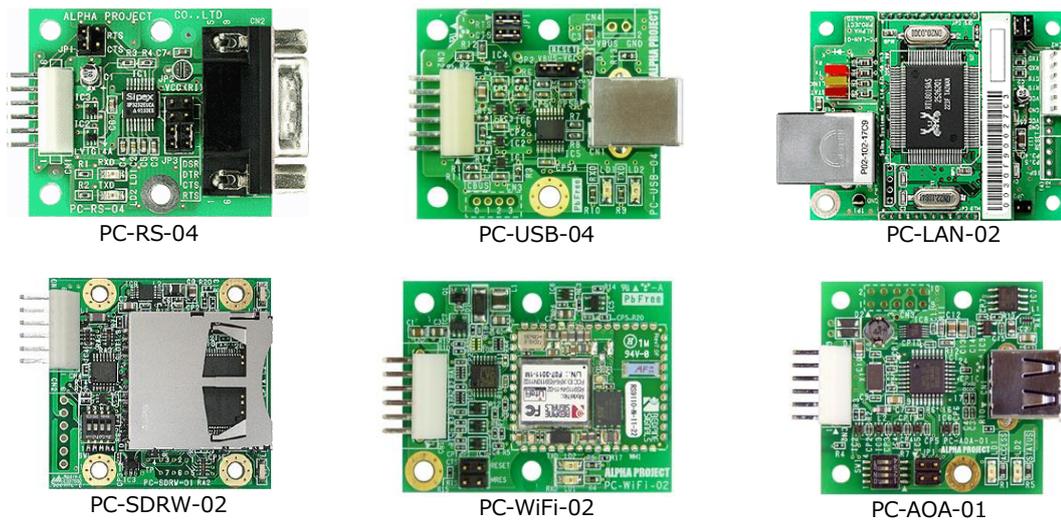


Fig 5.1-1 USB(仮想 COM)機能の追加例



製品名	機能	機能詳細
PC-RS-04	RS232C コンバータ	シリアルインタフェースを RS232 レベルに変換するアダプタです。
PC-USB-04	USB コンバータ	シリアルインタフェースを USB ファンクション(仮想 COM ポート)に変換するアダプタです。
PC-LAN-02	LAN コンバータ	シリアルインタフェースを Ethernet に変換するアダプタです。簡単なコマンドだけで Ethernet 通信を行うことができます。
PC-SDRW-02	SD カードリーダーライター	ファイルシステムを搭載した SD ライセンス不要の SD カードリーダーライターです。簡単なコマンドだけで SD カードの読み書きができます。
PC-WiFi-02	無線 LAN アダプタ	無線 LAN ドライバ、TCP/IP プロトコルスタックを搭載した無線 LAN アダプタです。簡単なコマンドだけで無線 LAN 通信を行うことができます。技術基準適合認証を取得済みのため、製品にそのまま組み込むことができます。
PC-AOA-01	Android USB アダプタ	シリアルインタフェースを Android 端末の USB インタフェースと接続するためのアダプタです。

※2023年10月現在の状況となっており、予告なしに変更される場合があります。

5.2 タッチパネル LCD キット

LCD コネクタ(CN7)に LCD-KIT-C02、LCD-KIT-D02 を接続することで、タッチパネルシステムを構築できます。



製品名	製品機能	備考
LCD-KIT-C02	7 インチ WVGA 抵抗膜式タッチパネル搭載 LCD キット	シングルタッチ
LCD-KIT-D02	4.3 インチ WQVGA 静電容量式タッチパネル搭載 LCD キット	マルチタッチ対応(4 ポイント)

※2023 年 10 月現在の状況となっており、予告なしに変更される場合があります。

5.3 AC アダプタ

SA-Cy500S で使用できる AC アダプタです。



項目	仕様
入力	AC 100V ~ 200V 50/60Hz
出力	DC 5.0V 2.0A
その他	RoHS 対応、PSE 認定取得

5.4 Linux 開発キット

LK-CY-A01 は、SA-Cy500S の Linux 開発環境です。SA-Cy500S での Linux システム開発に必要なものがセットになっていますので、すぐに開発に取り掛かることができます。



項目	仕様	
OS Kernel	Linux 3.10	
BootLoader	U-Boot	
デバイスドライバ	LAN	
	USB HOST	マスタストレージ
	SD カード	
	FPGA	
ファイルシステム	EXT2, EXT3, FAT, JFFS2	
ネットワーク	TCP/IP(IPv4/v6), UDP, HTTP, FTP, SNMP, NTP, DNS, NFS 他	
ライブラリ	BusyBox	
開発環境	Ubuntu, VirtualBox	
付属品	CD-ROM(開発環境一式)、LAN ケーブル、USB ケーブル、AC アダプタ、microSD、PC-USB-04	

6. 製品サポートのご案内

●ユーザ登録

ユーザ登録は弊社ホームページにて受け付けております。ユーザ登録をしていただきますと、バージョンアップや最新の情報等を E-mail でご案内させていただきますので、是非ご利用ください。

弊社ホームページアドレス <https://www.apnet.co.jp>

●修理の依頼

修理をご依頼いただく場合には、お名前、製品名、シリアル番号、詳しい故障状況を弊社製品サポートへご連絡ください。弊社にて故障状況を確認のうえ、修理の可否、修理費用等をご連絡いたします。ただし、過電圧印加や高熱等により製品全体がダメージを受けていると判断される場合には、修理をお断りする場合がございますので、ご了承ください。なお、弊社までの送料はお客様ご負担となります。

修理・故障に関するお問い合わせ

E - M A I L repair@apnet.co.jp

●製品サポートの方法

製品サポートについては、FAX もしくは E-MAIL でのみ受け付けております。お電話でのお問い合わせは受け付けておりませんので、ご了承ください。なお、お問い合わせの際には、製品名、使用環境、使用方法、問題点を詳細に記載してください。

技術的なお問い合わせ

E - M A I L query@apnet.co.jp

以下の内容に該当するお問い合わせにつきましては受け付けておりませんのであらかじめご了承ください。

- 本製品の回路動作及び CPU および周辺デバイスの使用方法に関するご質問
- ユーザ回路の設計方法やその動作についてのご質問
- 関連ツールの操作指導
- その他、製品の仕様範囲外の質問やお客様の技術によって解決されるべき問題

●ソフトウェアのサポート

ソフトウェアに関する技術的な質問は、受け付けておりませんのでご了承ください。
サポートをご希望されるお客様には、個別に有償にて承りますので弊社営業までご相談ください。

7. エンジニアリングサービスのご案内

弊社製品をベースとしたカスタム品やシステム開発を承っております。
お客様の仕様に合わせて、設計から OEM 供給まで一貫したサービスを提供いたします。
詳しくは、弊社営業窓口までお問い合わせください。

営業案内窓口

TEL	053-401-0033 (代表)
FAX	053-401-0035
E-MAIL	sales@apnet.co.jp

改定履歴

版数	日付	改定内容
1 版	2015/08/20	新規作成
2 版	2017/05/30	<p>梱包内容 修正</p> <p>取り扱い上の注意 文章修正</p> <p>保証 文章修正</p> <p>Table 3.9-1 拡張コネクタ CN1 ピンアサイン 注意事項を追記 (3 章)</p> <p>Table 4.2-1 拡張コネクタ(CN1)対応スタッキングコネクタ 型番を削除 (4 章)</p> <p>5.5 カメラモジュール 追加 (5 章)</p>
3 版	2018/09/28	<p>梱包内容 変更</p> <p>取り扱い上の注意 修正</p> <p>保証 修正</p> <p>コンテンツのダウンロードについて 変更</p> <p>参照 url を更新</p> <p>EOL 部品の変更に伴う基板改版</p> <p>1.4 項 基板写真差し替え</p> <p>1.6 項 Fig.1-6-2 を追加 (I2C アドレス一覧)</p> <p>2.1.1 項 コンフィグレーションモード設定方法の変更(DipSW から抵抗有無へ)</p> <p>2.2 項 「JP1~JP3」追加、2.2 項以降の項番号を変更</p> <p>2.3 項 シリアル Fash メモリの型番を変更</p> <p>2.6 項 「スイッチ入力」(DipSW, H/W リビジョン判定入力)を追加</p> <p>Fig.2.9-1 誤記述修正</p> <p>3.7.2 項 CoreSight コネクタの型番を変更</p> <p>3.9 項 #132 ピン信号について追記</p>
3.1 版	2018/11/19	<p>CN5(USB OTG)を USB ホストとして使用する場合の DC5V 電源供給について、以下の項目で追記</p> <p>3.8 項、電源</p> <p>3.8.1 ②項、電源の供給例</p> <p>3.9 項 拡張コネクタ</p>
3.2 版	2019/6/28	<p>3.1 版で追記した rev.A 基板に関する注意事項を削除</p> <p>3.8 項、電源 (接続図を修正)</p> <p>3.8.1 ②項、電源の供給例</p> <p>3.9 項 拡張コネクタ</p>
3.3 版	2019/7/22	5.4 項 Linux 開発キット、表欄中の誤記述修正(JEFS2 → JFFS2)

版数	日付	改定内容
3.4 版	2023/10/02	5 章 関連製品のご案内を更新 住所の更新

参考文献

「Intel® Cyclone® V デバイス・ハンドブック」
その他 各社データシート

本文書について

- ・本文書の著作権は株式会社アルファプロジェクトが保有します。
- ・本文書の内容を無断で転載、引用することは禁止します。
- ・本文書の内容は、将来予告なしに変更されることがあります。
- ・本文書の内容については、万全を期して作成いたしました。万一不審な点、誤りなどお気付きの点がありましたら弊社までご連絡ください。
- ・本文書の内容に基づき、アプリケーションを運用した結果、万一損害が発生しても、弊社では一切責任を負いませんのでご了承ください。

商標について

- ・ Arm® および Cortex® は、Arm Limited の登録商標です。
 - ・ Cyclone® V および Cyclone® V SoC は Intel Corporation の登録商標、商標または商品名称です。
-
- ・ その他の会社名、製品名は、各社の登録商標または商標です。



株式会社アルファプロジェクト
〒431-3114
静岡県浜松市中央区積志町 834
<https://www.apnet.co.jp>
E-Mail : query@apnet.co.jp