

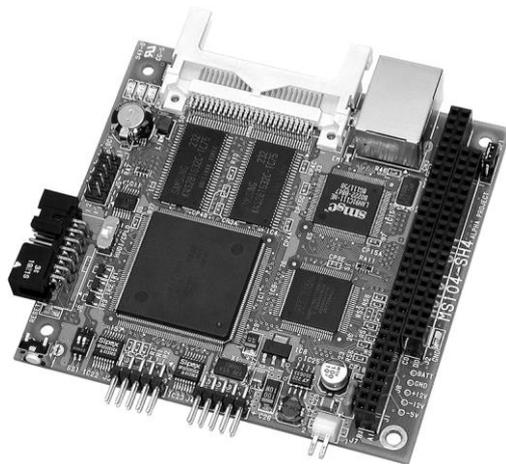
MS104 series

PC/104 規格準拠 SH-4 CPU BOARD

MS104-SH4

ハードウェアマニュアル

14 版



AP ALPHA PROJECT
株式会社アルファプロジェクト

RoHS
Compliant

ご使用になる前に

このたびは MS104-SH4 をお買い上げいただき誠にありがとうございます。
本製品をお役立て頂くために、このマニュアルを十分お読みいただき、正しくお使いください。
今後共、弊社製品をご愛顧賜りますよう宜しくお願いいたします。

梱包内容

本製品は、下記の品より構成されております。梱包内容をご確認のうえ、万が一、不足しているものがあればお買い上げの販売店までご連絡ください。

梱包内容

●MS104-SH4 ボード本体	1 枚	●電源ハーネス (2Pin)	1 本
●D-Sub 変換ケーブル	2 本	●M3 x 16mm スペーサー	4 本
●PC/104 バスコネクタ(40Pin)	1 個	●PC/104 バスコネクタ(64Pin)	1 個
●M3 ナット	4 個		
●マニュアル・サンプルプログラムのダウンロード・保証のご案内			1 枚

■本製品の内容及び仕様は予告なしに変更されることがありますのでご了承ください。

取り扱い上の注意



- 本製品には、民生用の一般電子部品が使用されており、一般的な民生用途の電子機器への使用を意図して設計されています。宇宙、航空、医療、原子力、運輸、交通、各種安全装置などで人命、事故に関わる用途および多大な物的損害を発生させる恐れのある用途でのご使用はご遠慮ください。
- 極端な高温下や低温下、または振動の激しい環境での使用はご遠慮ください。
- 水中、高湿度、油の多い環境での使用はご遠慮ください。
- 腐食性ガス、可燃性ガス等の環境中での使用はご遠慮ください。
- 基板の表面が水に濡れていたり、金属に接触した状態で電源を投入しないでください。
- 定格を越える電源を加えないでください。

- ノイズの多い環境での動作は保証しかねますのでご了承ください。
- 連続的な振動(車載等)や衝撃が発生する環境下での使用は、製品寿命を縮め、故障が発生しやすくなりますのでご注意ください。
- 発煙や発火、異常な発熱があった場合には、すぐに電源を切ってください。
- 本製品を仕様範囲を越える条件において使用した場合、故障の原因となりますので、ご注意ください。
- 本書に記載される製品および技術のうち、「外国為替および外国貿易法」に定める規制貨物等(技術)に該当するものを輸出または国外に持ち出す場合には同法に基づく輸出許可が必要です。
- 本製品マニュアル、回路図及び HDL コードの著作権は株式会社アルファプロジェクトが保有しております。これらを無断で転用、掲載、譲渡、配布することは禁止します。

保証

- 保証期間内において、本マニュアル等に記載の注意事項に従い正常な使用状態で故障した場合、保証対象といたします。
- 製品保証の内外を問わず、製品を運用した結果による、直接および間接的損害については、弊社は一切補償いたしません。
- 保証対象は、製品本体とします。ソフトウェア・マニュアル・消耗品・梱包箱は保証対象外とさせていただきます。
- 本保証は日本国内においてのみ有効です。海外からのご依頼は受付しておりません。
- 製品保証規定の詳細につきましては、ホームページをご覧ください。

参考資料

デバイスの資料は、各社ホームページで公開されております。本マニュアルと合わせて、ご覧ください。

- SH7750 シリーズハードウェアマニュアル ルネサスエレクトロニクス
- PC/104 Specification PC/104 Consortium
- その他各社デバイスデータシート

参考URL

下記の URL に本製品に関連するデバイスおよび規格の情報が掲載されておりますので、参考にしてください。

- 株式会社ルネサスエレクトロニクス <https://www.renesas.com/jp/ja>
- マイクロチップ・テクノロジー・ジャパン株式会社 <https://www.microchip.co.jp/>
- マイクロン ジャパン株式会社 <https://jp.micron.com/>
- Intel Corporation <https://www.intel.co.jp/content/www/jp/ja/homepage.html>
- PC/104 Consortium <https://pc104.org/>
- CompactFlash Association <https://www.compactflash.org/>

目 次

1. 製品紹介	1
1.1 製品の特長	2
2. 仕様概要	2
2.1 仕様概要	2
2.2 回路構成	3
2.3 外形図	4
3. ハードウェア仕様	5
3.1 CPUの動作モード	5
3.2 バス設定	6
3.3 フラッシュメモリ	8
3.4 SDRAM	8
3.5 CPLD	9
3.6 割り込み	10
3.7 I/Oポート	12
3.8 シリアルインターフェース	13
3.9 EtherNet インターフェース	14
3.10 CF カードスロット	15
3.11 RTC (カレンダータイマ)	18
3.12 HUDI/JTAG インターフェース	19
3.13 PC/104 バスインターフェース	20
3.14 電源	30
4. その他	31
4.1 外形寸法	31
4.2 フラッシュメモリの書き込み方法	32
4.3 CPLD の書き込み方法	33
4.4 PC/104 周辺ボードの接続	34

■製品サポートのご案内

■エンジニアリングサービスのご案内

1. 製品紹介

MS104-SH4 は、SH7750R(ルネサス エレクトロニクス社)を搭載したボードコンピュータです。標準OSにLinuxを採用しているため、高度な組み込みアプリケーションを容易に構築することができます。また、PC/104 規格に準拠しているため、各社の市販ボードを利用することができ、拡張性に優れています。

1.1 製品の特長

●ルネサスエレクトロニクス社製 SH7750R 240MHz を搭載

SH7750RはCPUコアにSH-4を採用した32bitRiscプロセッサです。Linuxをはじめ、数多くのリアルタイムOSが対応しています。MMUや浮動小数点演算器、SDRAMコントローラ、PCMCIAインターフェース等を備え、マルチメディア機器やネットワーク機器、医用機器や産業機器など幅広い分野で採用されています。

●標準OSにLinuxを採用

Linuxを採用することにより、高度なネットワーク機能やヒューマンインターフェースを備えた機器を容易に開発することができます。また、世界中のプログラマによって日々開発される膨大なオープンソースソフトウェア資産を全てロイヤリティフリーで利用することができます。

●大容量16Mbyteフラッシュメモリを標準搭載

十分なサイズのアプリケーションプログラムをフラッシュメモリに格納できますので、小規模なアプリケーションであればCFを搭載する必要がなく、消費電力を抑えることができます。

●CFカードスロットを装備

TYPE I対応のCFカードスロットを備えているため、大規模アプリケーションプログラムにも対応することができます。また、活線挿抜にも対応しているため、さまざまな用途でご利用いただけます。

●10/100BASE-TXを装備

10/100BASE-TX対応のイーサネットコントローラを搭載しているため、組み込み用ネットワーク機器に利用することができます。

●高速シリアルインターフェースを装備

921.6Kbpsまでサポートした2CHの非同期通信シリアルインターフェースを装備しています。ローカル通信制御やモニタ用などに利用できます。

●PC/104規格に準拠

わずか95.9mm×90.2mmのPC/104フォームファクターの基板上に全ての機能が実装されています。また、PC/104規格の各社の周辺ボードを増設することができます。

●HUDI/JTAGコネクタ装備

HUDI/JTAGコネクタを装備しているため、各社のデバッガを利用することができます。

●豊富な周辺ボードを提供

VGA等の表示系ボードや、USBやIDE等のインターフェース系ボードがLinuxドライバ付属で提供されます。これらを組み合わせれば、簡単にパネルコンピュータを構成することができます。

●回路図を全て公開

回路図は全て公開されておりますので、ソフトウェア設計者はハードウェアを全て把握したうえで開発を進めることができます。また、教育や研修用途にも最適です。

2. 仕様概要

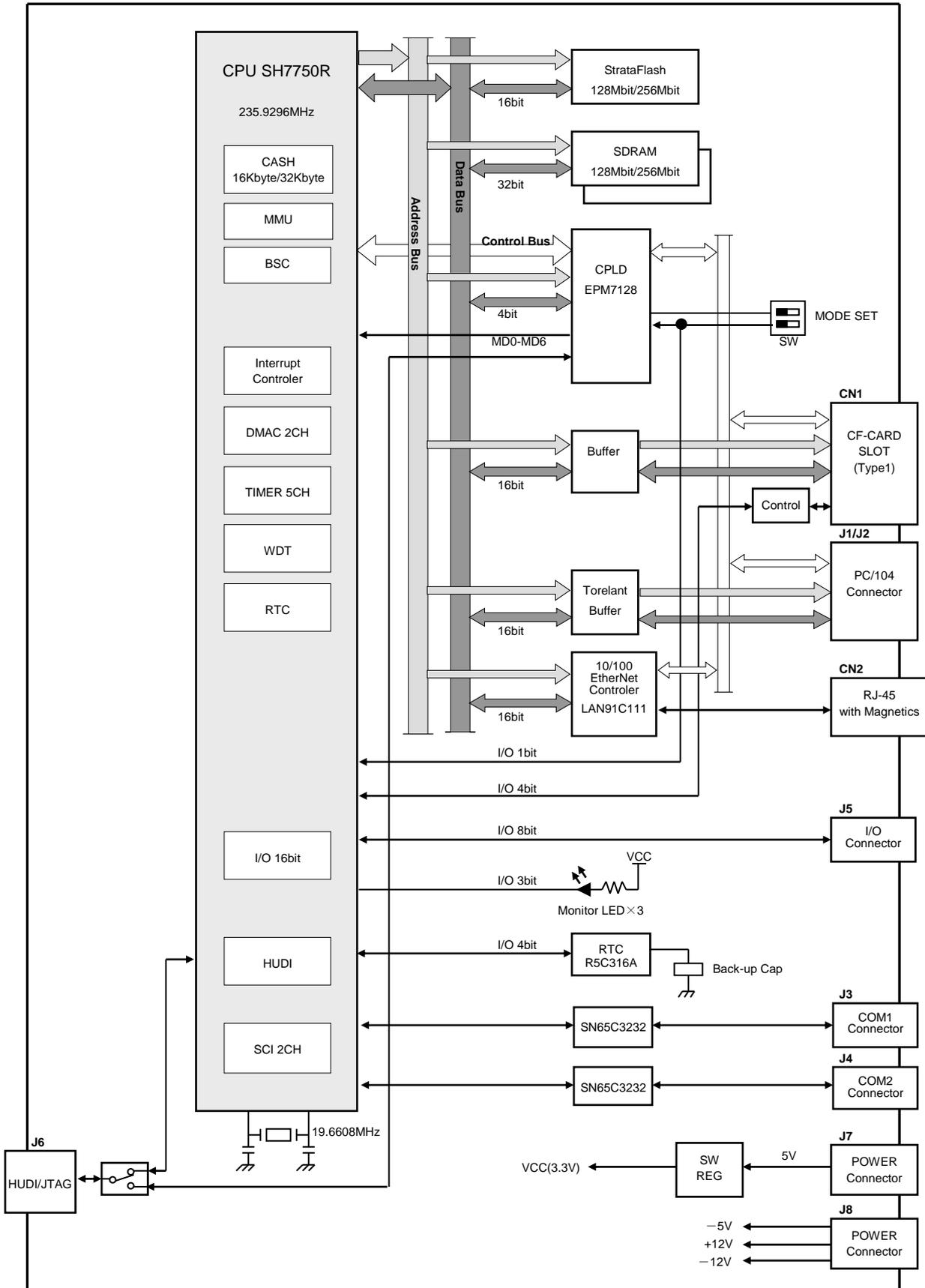
2.1 仕様概要

項目	仕様
CPU	SH7750RF240 (208P QFP) 命令キャッシュ 16Kbyte オペランドキャッシュ 32Kbyte
動作周波数	水晶振動子 19.6608MHz
	CPUコア 235.9296MHz
	バスクロック 58.9824MHz/29.4912MHz
メモリ	フラッシュROM 16Mbyte 16ビット 28F128J3A (MICRON)
	SDRAM 32Mbyte 32ビット M12L128168AL1AM-7TG2L (ESMT) × 2
シリアルインターフェース (J3,J4)	内蔵SCI 調歩同期 2チャンネル RS232レベル MAX921.6bps SN65C3232DBR (TI) COM1: TXD, RXD, GND COM2: TXD, RXD, RTS, CTS, GND
LANインターフェース (CN2)	10/100Base-TX LAN91C111 (Microchip)
パラレルインターフェース (J5)	8ビット 3.3V CPU内蔵IO
カレンダータイマ	リアルタイムクロック RS5C316A (RICOH) 電気二重層コンデンサにてバックアップ 約170時間
コンパクトフラッシュ (CN1)	TYPE1 1スロット 3.3V専用 メモリ、I/Oカードモード対応 活線挿抜対応
外部拡張バス (J1,J2)	PC/104準拠
HUDI/JTAG (J6)	HUDI/JTAG共用コネクタ 各社HUDIデバッグ対応 専用ケーブルにてフラッシュROMの書き込み、CPLDの書き換えが可能
グルーロジック	CPLD EPM7128AETC100-10 (Intel)
モニタLED (LD1~LD3)	3個 CPUのパラレルポートに接続
電源 (J7)	DC 5V ± 5% LT1506 スイッチングレギュレータにてDC 3.3Vに降圧
オプション電源 (J8)	DC -5V、+12V、-12V
使用環境条件	0~50℃ 結露なし
消費電流	650mA以下 注) 外部負荷なし、CFカードを除く
基板寸法	PC/104準拠 6層基板 95.9mm×90.2mm×1.6mm (コネクタ、突起物含まず)
ブリーンストールOS	Linux

Fig 2.1-1 MS104-SH4 仕様概要

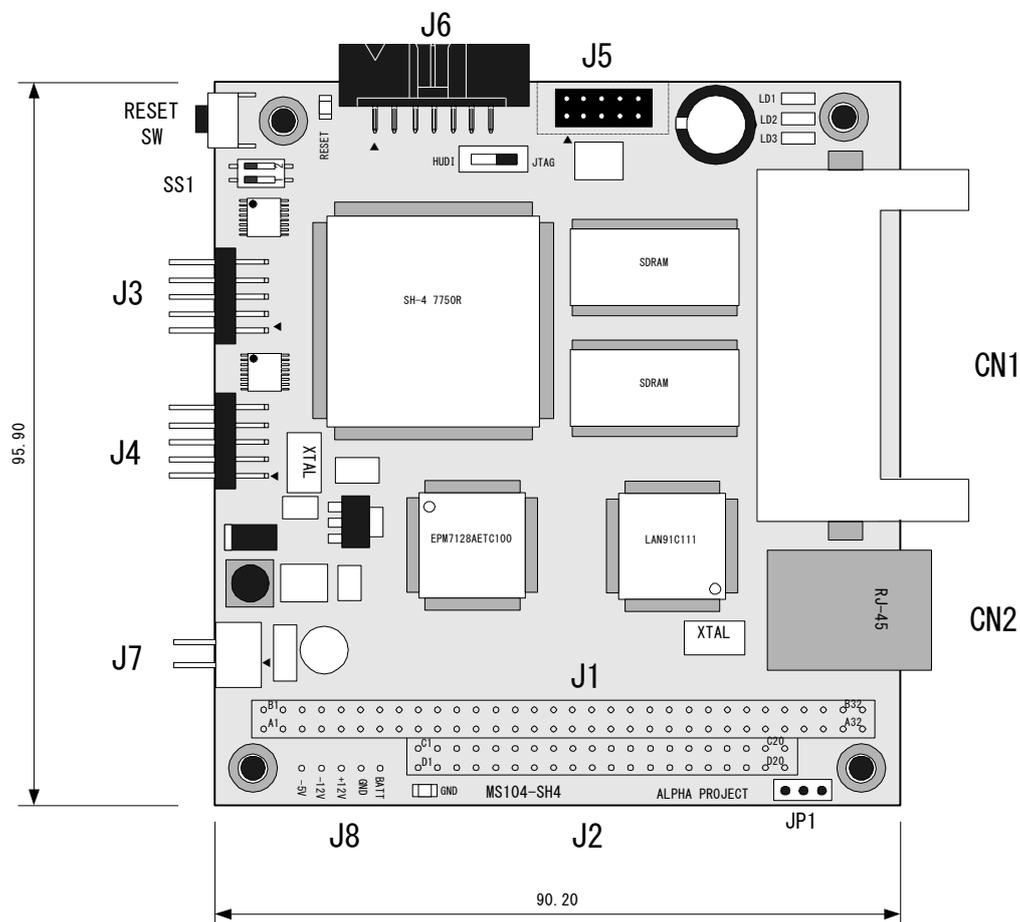
2.2 MS104-SH4 回路構成

Fig 2.2-1 MS104-SH4 回路ブロック図



2.3 外形図

Fig 2.3-1 MS104-SH4 外形図



使用コネクタ一覧

コネクタ番号	コネクタ型番/メーカー	用途
J1	PC/104	PC/104 バスコネクタ (64pin)
J2	PC/104	PC/104 バスコネクタ (40pin)
J3	10pin 2.54mm×2列アングルヘッダ	シリアルインターフェースコネクタ COM1
J4	10pin 2.54mm×2列アングルヘッダ	シリアルインターフェースコネクタ COM2
J5	10pin 2.54mm×2列ヘッダ	ポート入出力コネクタ
J6	XG4C-1434/OMRON	HUD I / JTAGコネクタ
J7	BS2P-SHF-1AA/日本圧着端子	電源コネクタ (+5V)
J8	2.54mm ピッチコネクタ/未実装	オプション電源コネクタ (+5V, +12V, -12V)
CN1	N7E50-7516VY-20 /3M	コンパクトフラッシュスロット TYPE1
CN2	PTL-TJ-N-D /JIROTECH	LANコネクタ

3. ハードウェア仕様

3.1 CPUの動作モード

3.1.1 動作モードの設定

MS104-SH4のSH7750Rモード端子は、出荷時には次のような設定となっています。

端子	設定値	動作	備考
MD0	0 / 1 ※	クロック動作モード 0 / 1	CPLDで設定
MD1	0		
MD2	0		
MD3	0	エリア0 バス幅 16bit	固定
MD4	1		CPLDで設定
MD5	1	リトルエンディアン	CPLDで設定
MD6	1	エリア0 SRAM インターフェース	CPLDで設定
MD7	1	マスタ	固定
MD8	1	水晶発振子	固定

※1 SS1-2 で設定が変更可能

Table3.1-1 動作モードの出荷時設定

CPLDで設定されているMD端子については、CPLDのロジック書き換えにより設定値が変更できます。

3.1.2 クロックモードの設定

SH7750Rのクロックモードはスイッチ(SS1-2)の設定により切り替えができます。

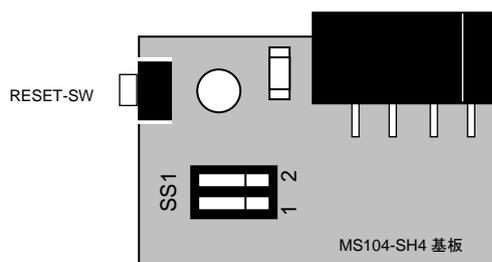


Fig 3.1-2 SS1の位置

SS1-2	CLKモード	CPUクロック	バスクロック(CKIO)	周辺モジュールクロック
OFF	0	235.9296MHz	58.9824MHz	58.9824MHz
ON	1	235.9296MHz	29.4912MHz	29.4912MHz

3.2 バス設定

3.2.1 アドレスマッピング

アドレス(P0)	アドレス(P2)	デバイス	BSC 設定	領域	備考
H'00000000 H'00FFFFFF	H'A0000000 H'A0FFFFFF	FLASH MEMORY 28F128J3A 16Mbyte	16bit 通常メモリ空間	CS0	
H'01000000 H'03FFFFFF	H'A1000000 H'A3FFFFFF	イメージ			
H'04000000 H'07FFFFFF	H'A4000000 H'A7FFFFFF	CPLD内部レジスタ	8bit 通常メモリ空間	CS1	下表参照
H'08000000 H'0800000F	H'A8000000 H'A800000F	EtherNet Controller LAN91C111	16bit 通常メモリ空間	CS2	
H'08000010 H'0BFFFFFF	H'A8000010 H'ABFFFFFF	イメージ			
H'0C000000 H'0DFFFFFF	H'AC000000 H'ADFFFFFF	SDRAM 32Mbyte M12L128168AL1AM-7TG2L×2	32bit SDRAM 空間 2M × 16bit × 4Bank	CS3	
H'0E000000 H'0FFFFFFF	H'AE000000 H'AFFFFFFFFF	イメージ			
H'10000000 H'10FFFFFF	H'B0000000 H'B0FFFFFF	外部拡張バス PC/104 SH バス空間	8bit/16bit 通常メモリ空間	CS4	
H'11000000 H'13FFFFFF	H'B1000000 H'B3FFFFFF	イメージ			
H'14000000 H'140007FF	H'B4000000 H'B40007FF	PCMCIA CompactFlash Type1	8bit/16bit PCMCIA 空間	CS5	
H'14000800 H'17FFFFFF	H'B4000800 H'B7FFFFFF	イメージ			
H'18000000 H'18FFFFFF	H'B8000000 H'B8FFFFFF	外部拡張バス PC/104 準拠バス空間	8bit/16bit PCMCIA 空間	CS6	MMU(TLB) 設定による
H'19000000 H'1BFFFFFF	H'B9000000 H'BBFFFFFF	イメージ			
H'1C000000 H'1FFFFFFF	H'BC000000 H'BFFFFFFF	予約		—	

P0 = P0 領域 (キャッシュ領域) P2 = P2 領域 (ノンキャッシュ領域)

CPLD内部レジスタアドレス

レジスタ名	R/W	アドレス	機能
割り込みマスクレジスタ 1	R/W	H' A4000000	INT11~INT14 のマスク設定
割り込みマスクレジスタ 2	R/W	H' A4100000	INT7~INT10 のマスク設定
割り込みマスクレジスタ 3	R/W	H' A4200000	INT3~INT6 のマスク設定
割り込みマスクレジスタ 4	R/W	H' A4300000	INT1~INT2 のマスク設定
割り込み要因レジスタ 1	R	H' A4400000	INT11~INT14 の割り込みの読み出し
割り込み要因レジスタ 2	R	H' A4500000	INT7~INT10 の割り込みの読み出し
割り込み要因レジスタ 3	R	H' A4600000	INT3~INT6 の割り込みの読み出し
割り込み要因レジスタ 4	R	H' A4700000	INT1~INT2 の割り込みの読み出し
CF バスコントロールレジスタ	W	H' A4800000	CF バス信号の設定

Fig 3.2-1 アドレスマップ

3.2.1 バスステートコントローラ設定

SH7750R の内蔵バスステートコントローラの設定は、次の設定値を推奨します。

(詳細については SH7750 シリーズ ハードウェアマニュアルをご覧ください)

CS	項目	CKIO 周波数	
		58.9824MHz	29.4912MHz
0	メモリアイプ	通常メモリ	
	バス幅	16bit	
	WAIT 数	9	6
	ライトストロブセットアップ時間	1	1
	サイクル間アイドル指定	1	1
1	メモリアイプ	通常メモリ	
	バス幅	8bit	
	WAIT 数	1	0
	ライトストロブセットアップ時間	1	1
	リードストロブネゲートタイミング	0	0
	サイクル間アイドル指定	1	1
2	メモリアイプ	通常メモリ	
	バス幅	16bit	
	WAIT 数	3	2
	ライトストロブセットアップ時間	1	1
	サイクル間アイドル指定	1	1
3	メモリアイプ	SDRAM	
	バス幅	32bit	
	CAS レイテンシ	2	2
	リフレッシュ後 RAS プリチャージ期間	6	3
	CAS ネゲート期間	1	1
	RAS プリチャージ期間	2	1
	RAS-CAS 遅延	2	2
	書き込みプリチャージ遅延	2	2
	リフレッシュ後のコマンド間隔	4+TRC サイクル	4+TRC サイクル
4	メモリアイプ	通常メモリ	
	バス幅	16bit	
	WAIT 数	1	0
	ライトストロブセットアップ時間	1	1
	リードストロブネゲートタイミング	0	0
	サイクル間アイドル指定	1	1
5	メモリアイプ	PCMCIA	
	バス幅	16bit	
	WAIT 数	15	15
	ライトストロブセットアップ時間	1	1
	サイクル間アイドル指定	1 ※1	1 ※1
	PCMCIA ウェイト	50	50
	アドレス-OE/WE アサート遅延	15	15
	OE/WE-アドレスアサート遅延	15	15
6	メモリアイプ	PCMCIA	
	バス幅	16bit	
	WAIT 数	12	6
	ライトストロブセットアップ時間	1	1
	サイクル間アイドル指定	1	1
	PCMCIA ウェイト	0	0
	アドレス-OE/WE アサート遅延	6	3
	OE/WE-アドレスアサート遅延	3	2

※1 CF カードの CIS 情報に基づいて再設定してください。

Table 3.2-1 バスステートコントローラ推奨設定値

3.3 フラッシュメモリ

MS104-SH4には、標準で16Mbyteのフラッシュメモリ(28F128J3A(MICRON社製))が搭載されています。
SH7750RのCS0空間に16bitバスで接続されており、ブートメモリとして機能します。

3.3.1 フラッシュメモリの書き込み

フラッシュメモリの書き込みには、次の二つの方法があります。

●HUDI(JTAG)を利用して書き込む(後述のフラッシュメモリの書き込み方法を参照)

HUDIインターフェース経由で書き込む方法です。フラッシュメモリに何も書かれていない初期状態でもオンボードで書き込むことが可能です。弊社製品マルチダウンロードアダプタ「HJ-LINK」(注)やHUDIデバッガのフラッシュ書き込み機能がこれに該当します。 (注)FlashWriterEXが必要です。

●ブートプログラム等のプログラムの書き込み機能を利用する

すでに書き込まれたプログラムによって、シリアルインターフェースやCFカード等からプログラムを読み込んで書き込む方法です。ブートローダやLinuxのフラッシュ書き込み機能等がこれに該当します。

3.4 SDRAM

MS104-SH4には、標準で32MbyteのSDRAM(M12L128168AL1AM-7TG2L(ESMT社製))が搭載されています。
SH7750RのCS3空間に32bitバスで接続されており、メインメモリとして機能します。

3.5 CPLD

MS104-SH4 には、CPU 周辺ロジック用に CPLD (EPM7128AETC100-10 (Intel 社製)) を搭載しています。EPM7128 は内部が EEPROM ベースとなっており、オンボードで内部ロジックの書き換えが可能です。MS104-SH4 では、主に次の機能を CPLD でおこなっています。

- CPU 動作モードの設定
- 割り込み制御
- SH \leftrightarrow イーサネットコントローラ間のインターフェース
- SH7750R \leftrightarrow PC/104 バスブリッジ
- CF カード挿抜

内部ロジックは、VelirogHDL で記述されています。添付のソースコードファイルを参照してください。

開発ツール	: Quartus II Ver3.0 WebEdition
プロジェクト名	: MS104-SH4.quartus
TOP ファイル名	: MS104-SH4.bdf
Velilog ファイル名	: MS104_SH4_XXX.V XXX はバージョンによって変わります。

Intel 社ウェブサイト : <https://www.intel.co.jp/content/www/jp/ja/homepage.html>

Quartus II WebEdition は、Intel 社が提供している無償ソフトウェアで、回路図入力、HDL 入力、論理合成からデバイスへの書き込みまで全ておこなえます。使用する際には、Intel 社にライセンス申請が必要です。CPLD への書き込み方法については、後述の「CPLD の書き込み方法」をご覧ください。

3.6 割り込み

3.6.1 外部割り込みの割り当て

MS104-SH4 の外部割り込みは、IRL 割り込みを使用しています。外部割り込みは次のように割り当てられています。

Table 3.6-1 割り込み要因

割り込み番号※	優先順位	割り込み要因
INT1	LEVEL14 高	PC104 IRQ15
INT2	LEVEL13	PC104 IRQ14
INT3	LEVEL12	PC104 IRQ12
INT4	LEVEL11	PC104 IRQ11
INT5	LEVEL10	PC104 IRQ10
INT6	LEVEL9	PC104 IRQ9
INT7	LEVEL8	PC104 IRQ7
INT8	LEVEL7	イーサネットコントローラ
INT9	LEVEL6	PC104 IRQ6
INT10	LEVEL5	PC104 IRQ5
INT11	LEVEL4	PC104 IRQ4
INT12	LEVEL3	コンパクトフラッシュ IREQ
INT13	LEVEL2	PC104 IRQ3
INT14	LEVEL1	リアルタイムクロック
-	LEVEL0 低	割り込みなし

※割り込み番号は Linux カーネルで割り振られた番号です。

3.6.2 割り込み回路の構成

MS104-SH4 の割り込みは、次のような構成になっています。

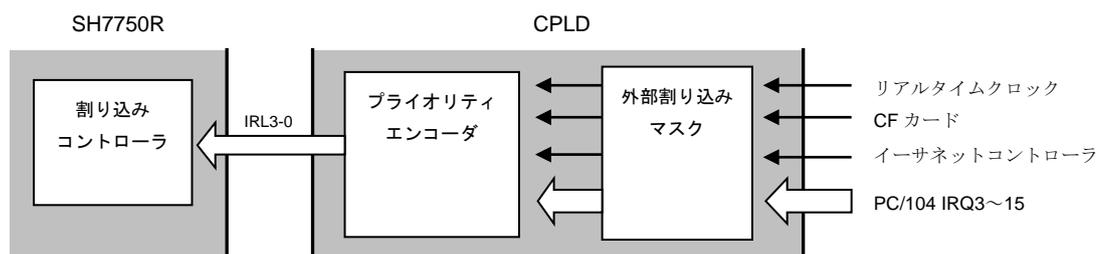


Fig 3.6-2 割り込み回路の構成

MS104-SH4 の割り込みは、プライオリティエンコーダを使用しており、割り込み優先順位が固定化されています。

優先順位の変更は、CPLD内のロジック変更により可能です。

PC/104 の外部割り込み (IRQ3~IRQ15) も優先順位が固定化されています。通常、割り込みを使用する拡張ボードは、ジャンパピン等で割り込み信号の割り当てを選択することができます。各ボードからの割り込みは、優先順位を考慮して割り込み信号を割り当ててください。

3.6.3 外部割り込みマスク

外部割り込みは、割り込みマスクレジスタの設定により個別にマスクすることができます。
 該当するマスクビットに0を設定すると割り込みがマスクされ、1を設定すると有効になります。
 割り込みマスクレジスタは読み出し／書き込みが可能で、これらは、全てCPLD内で処理されています。

割り込みマスクレジスタ 1 (H'A4000000) 初期値 = x0H Read / Write

D7	D6	D5	D4	D3	D2	D1	D0
-	-	-	-	INT11	INT12	INT13	INT14

割り込みマスクレジスタ 2 (H'A4100000) 初期値 = x0H Read / Write

D7	D6	D5	D4	D3	D2	D1	D0
-	-	-	-	INT7	INT8	INT9	INT10

割り込みマスクレジスタ 3 (H'A4200000) 初期値 = x0H Read / Write

D7	D6	D5	D4	D3	D2	D1	D0
-	-	-	-	INT3	INT4	INT5	INT6

割り込みマスクレジスタ 4 (H'A4300000) 初期値 = x0H Read / Write

D7	D6	D5	D4	D3	D2	D1	D0
-	-	-	-	-	-	INT1	INT2

3.6.4 外部割り込み要因

外部割り込みの信号状態は、外部割り込み要因レジスタを読み出すことで確認できます。信号の状態は、マスクレジスタの設定に関わらずに読み出すことができます。該当する要因ビットが1の場合には、割り込み要求が発生しています。また、CFカードのIRQはRDY信号と共用となっていますので、これらの信号状態を読み出すためにも使用できます。

割り込み要因レジスタ 1 (H'A4400000) Read

D7	D6	D5	D4	D3	D2	D1	D0
-	-	-	-	INT11	INT12	INT13	INT14

※CFカードのRDY信号((INT12)は、反転レベルとなります。

割り込み要因レジスタ 2 (H'A4500000) Read

D7	D6	D5	D4	D3	D2	D1	D0
-	-	-	-	INT7	INT8	INT9	INT10

割り込み要因レジスタ 3 (H'A4600000) Read

D7	D6	D5	D4	D3	D2	D1	D0
-	-	-	-	INT3	INT4	INT5	INT6

割り込み要因レジスタ 4 (H'A4700000) Read

D7	D6	D5	D4	D3	D2	D1	D0
-	-	-	-	-	-	INT1	INT2

3.7 I/O ポート

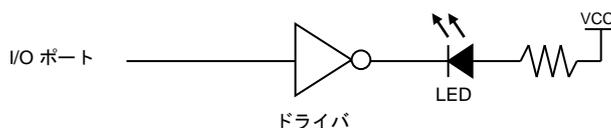
SH7750R の内蔵 I/O ポートは、次のように割り振られています。

Table 3.7-1 I/O ポートの割り当て

ポート名	入出力	接続先	ポート名	入出力	接続先
P19	入力	SW_IN2	P9	出力	CARD_PON
P18	出力	LED1	P8	入力	CARD_CD
P17	出力	LED2	P7	入出力	ユーザ開放 J5 に接続
P16	出力	LED3	P6	入出力	ユーザ開放 J5 に接続
P15	出力	RTC_CE	P5	入出力	ユーザ開放 J5 に接続
P14	出力	RTC_SCLK	P4	入出力	ユーザ開放 J5 に接続
P13	入出力	RTC_SIO	P3	入出力	ユーザ開放 J5 に接続
P12	入力	RTC_INT	P2	入出力	ユーザ開放 J5 に接続
P11	出力	CARD_ENABLE	P1	入出力	ユーザ開放 J5 に接続
P10	出力	CARD_RESET	P0	入出力	ユーザ開放 J5 に接続

3.7.1 モニタ LED

MS-104-SH4 には、モニタ用の LED が 3 個実装されています。それぞれ、CPU 内蔵 I/O ポートに接続されており、独立制御が可能です。



LED 番号	I/O ポート	点灯	消灯
LD1	P18	High	Low
LD2	P17	High	Low
LD3	P16	High	Low

Fig 3.7-2 モニタ LED 回路

3.7.2 外部 I/O コネクタ

P7～P0 はユーザに開放されており、自由に使用することができます。信号は J5 に直結されています。

No.	信号名	No.	信号名
1	P7	2	P6
3	P5	4	P4
5	P3	6	P2
7	P1	8	P0
9	VCC	10	GND

Fig 3.7-3 J5 コネクタピンアサイン

シンボル	パラメータ	Min	Max
V _{IH}	High レベル入力電圧	2.0V	3.6V
V _{IL}	Low レベル入力電圧	-0.3V	0.66V
V _{OH}	High レベル出力電圧	2.4V	-
V _{OL}	Low レベル出力電圧	-	0.55V

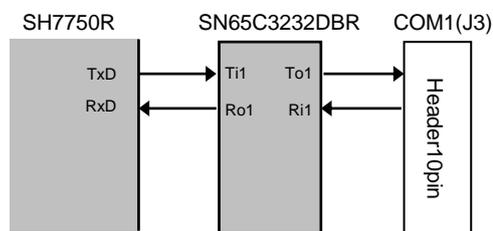
Fig 3.7-4 I/O 端子 DC 特性

3.8 シリアルインターフェース

MS-104-SH4 は、シリアルインターフェースを2ポート備えています。

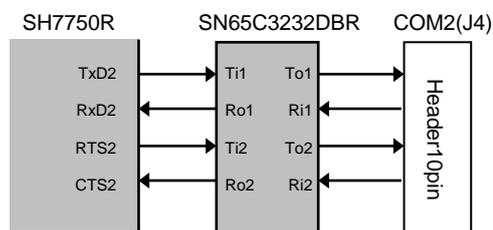
シリアルインターフェースは、EIA-574 規格に準拠しており、最大 921.6Kbps での高速通信が可能です。

Fig 3.8-1 シリアルインターフェース回路構成図



COM1(J3) ピンアサイン

No.	信号名	I/O	No.	信号名	I/O
1	N.C	-	2	N.C	-
3	RxD	I	4	N.C	-
5	TxD	O	6	N.C	-
7	N.C	-	8	N.C	-
9	GND	-	10	N.C	-

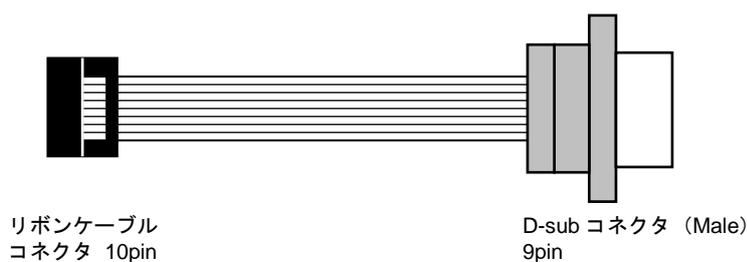


COM2(J4) ピンアサイン

No.	信号名	I/O	No.	信号名	I/O
1	N.C	-	2	N.C	-
3	RxD2	I	4	RTS2	O
5	TxD2	O	6	CTS2	I
7	N.C	-	8	N.C	-
9	GND	-	10	N.C	-

D-sub ケーブルに接続するためには、付属の D-sub コネクタ変換ケーブルをご利用ください。

Fig 3.8-2 D-Sub 変換ケーブル配線仕様



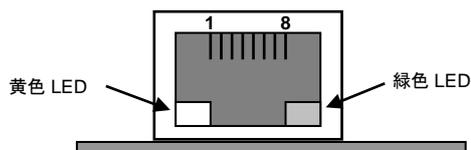
1	N.C		1	DCD
2	N.C		6	DSR
3	RxD		2	RxD
4	RTS		7	RTS
5	TxD		3	TxD
6	CTS		8	CTS
7	N.C		4	DTR
8	N.C		9	RI
9	GND		5	GND
10	N.C		-	

3.9 EtherNet インターフェース

3.9.1 LAN ポート仕様

MS-104-SH4 は、10/100BASE-TX 対応の EtherNet インターフェースを 1 ポート備えています。
EtherNet コントローラには、Microchip 社の LAN91C111 を採用しています。

Fig 3.9-1 LAN ポートコネクタ (CN2 正面図)



No.	信号
1	TX+
2	TX-
3	RX+
4	-
5	-
6	RX-
7	-
8	-

黄色 LED	LAN91C111 の nLEDA に接続
緑色 LED	LAN91C111 の nLEDB に接続

3.9.2 LAN 接続方法

LAN ケーブルは、10/100BASE-TX 対応 (UTP カテゴリ 5) ケーブルをご利用ください。

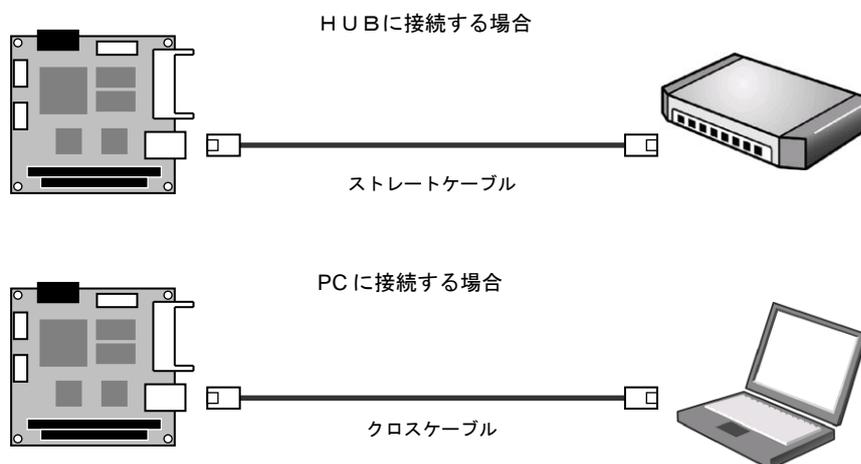


Fig 3.9-2 LAN 接続図

3.9.3 MAC アドレス

MS104-SH4 には、弊社で割り当てた MAC アドレスが出荷時に EEPROM に書き込まれています。基板上のシールに記載されておりますので、お確かめください。

弊社ベンダ ID : 00-0C-7B

3.10 CF カードスロット

MS104-SH4 は、コンパクトフラッシュ TYPE I 対応スロットを 1 基備えています。

活線挿抜（※1）に対応しているため、電源を投入したままでコンパクトフラッシュカードの抜き差しが可能です。

アクセスは、SH7750R に内蔵されている PCMCIA インターフェース機能（CS5 空間）を利用しており、メモ리카ードモードと IO カードモードでのアクセスが可能となっています。なお、本スロットは 3.3V カード専用となっており、5V 専用カードは使用できません。

※1 ソフトウェアの対応が必要です。

Table 3.10-1 コンパクトフラッシュインターフェース (CN1)

PinNo.	CF 信号名	I/O	MS104-SH4	PinNo.	CF 信号名	I/O	MS104-SH4
1	GND	P	GND	26	CD1	0	IO ポート (P8) 後述参照
2	D3	IO	D3	27	D11	IO	D11
3	D4	IO	D4	28	D12	IO	D12
4	D5	IO	D5	29	D13	IO	D13
5	D6	IO	D6	30	D14	IO	D14
6	D7	IO	D7	31	D15	IO	D15
7	CE1	I	CE1A (CS5)	32	CE2	I	CE2A (MD3)
8	A10	I	A10	33	VS1	0	未接続
9	OE	I	RD	34	IORD	I	IOICRD (WE2)
10	A9	I	A9	35	IOWR	I	IOICWR (WE3)
11	A8	I	A8	36	WE	I	WE1
12	A7	I	A7	37	RDY/IREQ	0	INT12
13	VCC	P	VCD	38	VCC	P	VCD
14	A6	I	A6	39	CSEL	I	未接続
15	A5	I	A5	40	VS2	0	未接続
16	A4	I	A4	41	RESET	I	IO ポート (P10)
17	A3	I	A3	42	WAIT	0	RDY
18	A2	I	A2	43	INPACK	0	未接続
19	A1	I	A1	44	REG	I	REG ((WE7)
20	A0	I	A0	45	BVD2	0	未接続
21	D0	IO	D0	46	BVD1	0	未接続
22	D1	IO	D1	47	D8	IO	D8
23	D2	IO	D2	48	D9	IO	D9
24	IOIS16	0	IOIS16	49	D10	IO	D10
25	CD2	0	IO ポート (P8) 後述参照	50	GND	P	GND

I=入力 O=出力 IO=入出力 P=電源

※上記は、I/O カードモードの信号名で記載されています。

3.10.1 CF バスコントロール

CF カードインターフェースの WAIT 信号と IOIS16 信号の有効/無効を設定することができます。設定は、CPLD 内部レジスタにておこないます。

CF バスコントロールレジスタ (H'A4800000)				初期値 = x0H		Write	
D7	D6	D5	D4	D3	D2	D1	D0
-	-	-	-	-	-	IOIS16	WAIT

■WAIT 信号の有効 (1)/無効 (0)

有効にした場合、WAIT 信号入力は、SH7750R の RDY 信号に反映されます。

■IOIS16 信号の有効 (1)/無効 (0)

有効にした場合、IOIS 信号入力は、SH7750R の IOIS16 信号に反映されます。

各信号の詳細は、CPLD の HDL ソースコードをご覧ください。

なお、CF メモリカードアクセスの場合、通常はこれらの信号を使用しないため、無効のままでも問題ありません。

3.10.2 CF カード検出

CF カードの検出回路は次のようになっています。



Fig 3.10-2 CF カード検出回路

3.10.3 CF カード電源制御

CF カードの電源は、活線挿抜に対応するためにソフトウェアで ON/OFF が可能です。

CF 電源制御回路は次のような回路構成となっています。

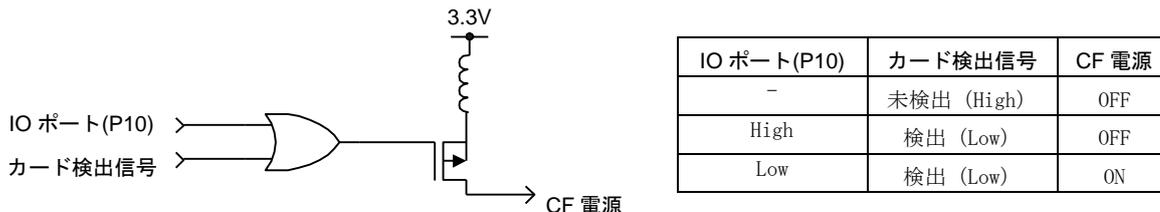
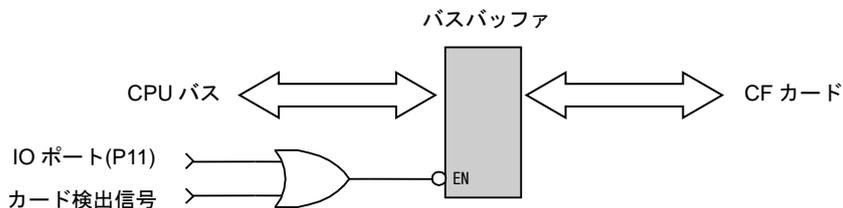


Fig 3.10-3 CF カード電源制御回路

3.10.4 CF カードインターフェースの活性化

CF カードにアクセスするためには、CF カードインターフェースを活性化する必要があります。
CF カードのインターフェース回路は次のようになっています。

Fig 3.10-4 CF カードインターフェース活性化回路



IO ポート (P11)	カード検出信号	CF インターフェース
-	未検出 (High)	Hi-z
High	検出 (Low)	Hi-z
Low	検出 (Low)	アクティブ

3.10.5 CF カードの初期化タイミング

CF カードの初期化タイミング例を下記に示します。

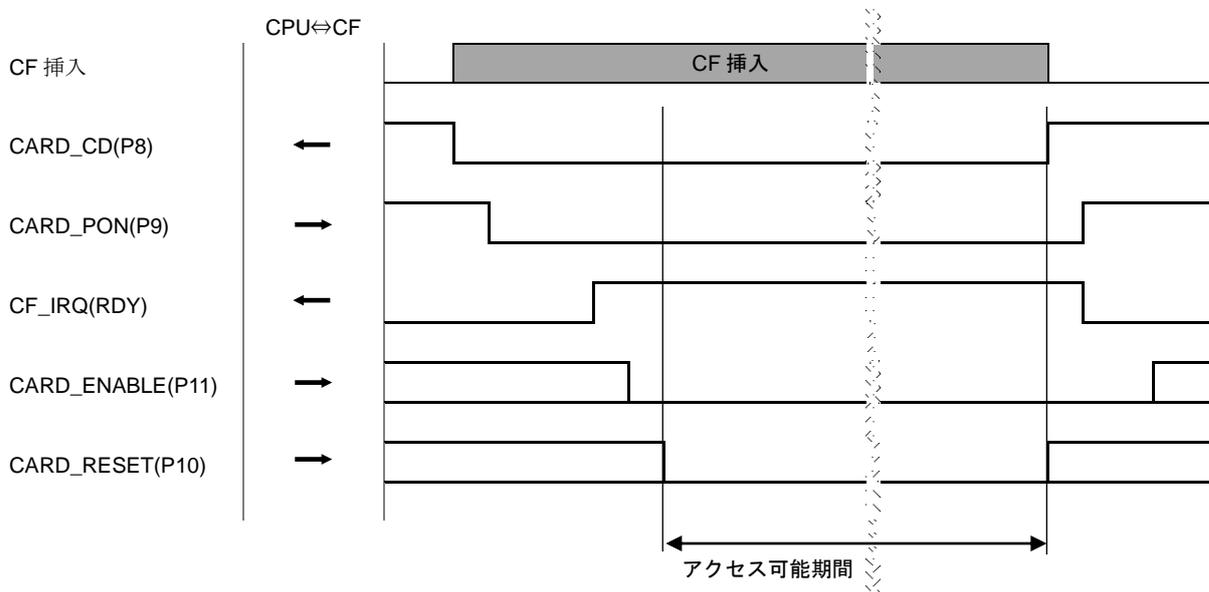


Fig 3.10-5 CF カード初期化タイミング

3.11 RTC (カレンダータイマ)

3.11.1 RTC のインターフェース

MS104-SH4には、RTC (RS5C316A RICOH 社製)が搭載されています。RTCは、3線シリアルインターフェースとなっており、CPU内蔵I/Oポートにより通信します。

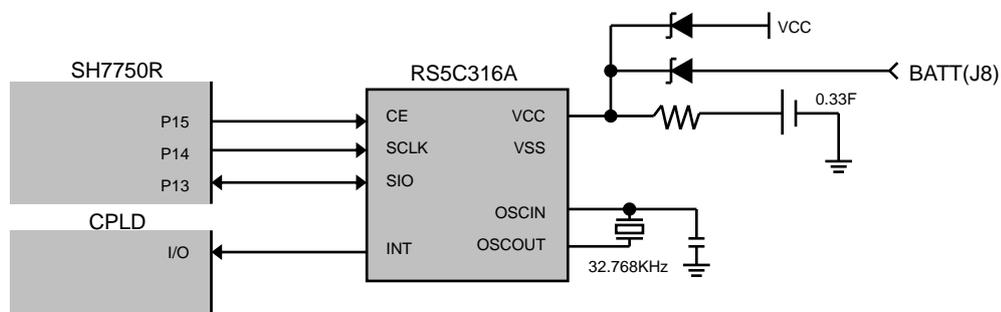


Fig 3.11-1 RTC 接続図

P13は入出力を切り替えて使用してください。

3.11.2 バックアップ

RTCはスーパーキャパシタでバックアップされます。充電時間とバックアップ時間は次のとおりです。

充電時間	約 300 秒(キャパシタ電圧 3.0V 室温 25℃にて測定)
バックアップ時間	約 170 時間

バックアップ時間は、使用環境温度によって変動しますのでご注意ください。

3.11.3 外部バックアップ

オプション電源コネクタ (J8) に一次電池等のバックアップ電源を接続することで、長期のバックアップが可能になります。バックアップ期間の目安は、次の数値から算出してください。

BATT 電圧	VCC > BATT > 1.6V
RS5C316A の消費電流	Typ0.6uA
ダイオードリーク電流	約 20nA
ダイオード電圧降下	約 0.3V

計算例) 30mAh の電池の場合

終止電圧 1.9V (BATT 電圧 + ダイオード電圧降下) の場合の効率を 80%とした場合、
 $(30\text{mAh} \times 0.8) \div (0.6\text{uA} + 0.02\text{uA}) = \text{約 } 38700 \text{ 時間}$

注意 実際に計算される際は、使用する電池の放電特性データ等も参考にしてください。

3.12 HUDI/JTAG インターフェース

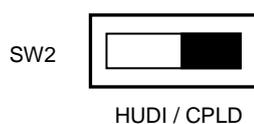
MS104-SH4 には、HUDI と JTAG の共用コネクタ (J6) があります。

HUDI とは (Hitachi-User-Debug-Interface)、JTAG に準拠したデバッグインターフェースです。各社の H-UDI デバッガを接続して実機デバッグをすることが可能です。また、フラッシュ ROM への書き込み等にも使用することができます。

3.12.1 HUDI/JTAG インターフェースの設定

J6 は、HUDI と CPLD の JTAG の兼用コネクタとなっており、SW2 により機能を切り替えて使用します。

SW2 の設定は次のようになります。



SW2 設定	機能
HUDI	H-UDI を使用する
CPLD	CPLD にデータを書き込む

フラッシュ ROM への書き込みと CPLD への書き込みには、弊社製品「HJ-LINK」をご利用ください。

CPLD への書き込みに Intel 社製の BitBlaster, ByteBlaster シリーズが使用できますが、使用する場合には、下記のようにピン配線を変換する必要があります。

ピンアサインの変換

BitBlaster or ByteBlaster		MS104-SH4(J6)	
1	TCK	1	TCK
2	GND	8	GND
3	TDO	3	TDO
4	VCC	11	VCC
5	TMS	5	TMS
9	TDI	6	TDI
10	GND	12	GND

ピンの並びが異なりますのでご注意ください。

3.13 PC/104 バスインターフェース

MS104-SH4 の拡張バスは PC/104 バス配列に準拠しています。(一部未サポート)

PC/104 バスは ISA バスのサブセット版で、PC/104 コンソーシアムで規格化されています。

No.	J1 LowA			J1 LowB		
	PC/104 信号名	MS104-SH4	入出力	PC/104 信号名	MS104-SH4	入出力
1	IOCHCHK*	Pull-up	I	0V	GND	0
2	SD7	D7	TI/O	RESETDRV	RESET	0
3	SD6	D6	TI/O	+5V	+5V	0
4	SD5	D5	TI/O	IRQ9	CPLD (INT6)	I
5	SD4	D4	TI/O	-5V	-5V	0
6	SD3	D3	TI/O	DRQ2	未接続	I
7	SD2	D2	TI/O	-12V	-12V	0
8	SD1	D1	TI/O	ENDXFR*	Pull-up	I
9	SD0	D0	TI/O	+12V	+12V	0
10	IOCHRDY	CPLD (RDY)	I	(KEY)	未接続	
11	AEN	CPLD (CS6, CS4)	0	SMEMW*	CPLD (/WE1)	0
12	SA19	A19	TO	SMEMR*	CPLD (/RD)	0
13	SA18	A18	TO	IOW*	CPLD (/CIOWR)	TO
14	SA17	A17	TO	IOR*	CPLD (/ICIORD)	TO
15	SA16	A16	TO	DACK3*	Pull-up	0
16	SA15	A15	TO	DRQ3	未接続	I
17	SA14	A14	TO	DACK1*	Pull-up	0
18	SA13	A13	TO	DRQ1	未接続	I
19	SA12	A12	TO	REFRESH*	Pull-up	0
20	SA11	A11	TO	SYCLK	CPLD (CKIO)	0
21	SA10	A10	TO	IRQ7	CPLD (INT7)	I
22	SA9	A9	TO	IRQ6	CPLD (INT9)	I
23	SA8	A8	TO	IRQ5	CPLD (INT10)	I
24	SA7	A7	TO	IRQ4	CPLD (INT11)	I
25	SA6	A6	TO	IRQ3	CPLD (INT13)	I
26	SA5	A5	TO	DACK2*	Pull-up	0
27	SA4	A4	TO	TC	Pull-up	0C
28	SA3	A3	TO	BALE	CPLD (BS)	0
29	SA2	A2	TO	+5V	+5V	0
30	SA1	A1	TO	OSC	Pull-up	0
31	SA0	A0	TO	0V	GND	0
32	0V	GND	0	0V	GND	0

No.	J2 LowC			J2 LowD		
	PC/104 信号名	MS104-SH4	入出力	PC/104 信号名	MS104-SH4	入出力
0	0V	GND	0	0V	GND	0
1	SBHE*	CPLD (CE2B)	TO	MEMCS16*	CPLD (未サポート)	I
2	LA23	A23	TO	IOCS16*	CPLD (IOCS16)	I
3	LA22	A22	TO	IRQ10	CPLD (INT5)	I
4	LA21	A21	TO	IRQ11	CPLD (INT4)	I
5	LA20	A20	TO	IRQ12	CPLD (INT3)	I
6	LA19	A19	TO	IRQ15	CPLD (INT1)	I
7	LA18	A18	TO	IRQ14	CPLD (INT2)	I
8	LA17	A17	TO	DACK0*	CPLD (DACK0)未サポート	0
9	MEMR*	CPLD (/RD)	TO	DRQ0	CPLD (DREQ0)未サポート	I
10	MEMW*	CPLD (/WE1)	TO	DACK5*	Pull-up	0
11	SD8	D8	TI/O	DRQ5	未接続	I
12	SD9	D9	TI/O	DACK6*	Pull-up	0
13	SD10	D10	TI/O	DRQ6	未接続	I
14	SD11	D11	TI/O	DACK7*	Pull-up	0
15	SD12	D12	TI/O	DRQ7	未接続	I
16	SD13	D13	TI/O	+5V	+5V	0
17	SD14	D14	TI/O	MASTER	Pull-up	I
18	SD15	D15	TI/O	0V	GND	0
19	(KEY)2	未接続	--	0V	GND	0

I=入力 O=出力 I/O=入出力 TO=トライステート出力 TI/O=トライステート入出力 OC=オープンコレクタ出力
 CPLD(XXXXX) = CPLD を経由して SH-4 の信号に接続されています 未サポート=機能的にサポートされていません
 Pull-up = Pull-up 抵抗のみに接続されています

Table 3.13-1 PC/104 バスピンアサイン

PC/104 バス信号機能一覧

Table 3.13-2 PC/104 バス信号機能

信号名	入出力	機能
SD0~SD15	I/O	データバス #SBHE が Low のとき SD[8..15] が有効となります。
SA0~SA19	O	アドレスバス アクセスサイクル中に出力されるアドレス信号です。#AEN が Low のときに有効です。
LA20~LA23	O	ラッチャブル・アドレスバス #BALE 信号を利用してラッチするアドレス信号です。MS104-SH4 では、SA[0..19] と同じタイミングで出力されるので、ラッチする必要はありません。
AEN	O	アドレス・イネーブル CPU から出力されるアドレスが有効であることを示す Low アクティブの信号です。
BALE	O	バス・アドレス・ラッチ・イネーブル LA[20..23] をラッチするための信号です。MS104-SH4 では、バス互換性を保つためにサポートしています。
#IOR	O	I/O リード I/O リードサイクルで出力される Low アクティブの信号です。
#IOW	O	I/O リード I/O ライトサイクルで出力される Low アクティブの信号です。
#SBHE	O	システム・バイト・ハイ・イネーブル SD[8..15] が有効であることを示す信号です。16 ビットアクセス時のワードアクセスと奇数アドレスアクセス時 (リトルエンディアンの場合) に Low にドライブされます。
#MEMR	O	メモリアード メモリアードサイクルで出力される Low アクティブの信号です。
#MRMW	O	メモリアイト メモリアードサイクルで出力される Low アクティブの信号です。
#SMEMR	O	システム・メモリアード 1M バイトメモリ空間 (LA[20..23]=0) のメモリアードサイクルで出力される Low アクティブの信号です。
#SMEMW	O	システム・メモリアイト 1M バイトメモリ空間 (LA[20..23]=0) のメモリアイトサイクルで出力される Low アクティブの信号です。
IRQn	I	インターラプト・リクエスト 割り込み要求信号です。High レベルで割り込みが受け付けられます。
IOCHRDY	I	I/O チャンネル・レディ デバイスアクセスでデバイス側がウェイトサイクルを要求する信号です。Low レベルの間、CPU はウェイトサイクルを挿入する必要があります。
#IOCS16	I	I/O チップセレクト 16 アクセス中の I/O デバイスが 16bit アクセスが可能であることを示す Low アクティブの信号です。
#MEMCS16	I	メモリアップセレクト 16 アクセス中のメモリデバイスが 16bit アクセスが可能であることを示す Low アクティブの信号です。
RESETDRV	O	リセットドライブ CPU がリセット期間中に出力される High アクティブの信号です。
SYSCLK	O	システムクロック PC/104 バスクロック信号です。MS104-SH4 では、7.3728MHz となっています。SYSCLK は、CPU の CKIO から作られています。PC/104 バスのどの信号とも同期しておりませんので注意してください。
DRQn	I	DMA リクエスト CPU に DMA 転送を要求する信号です。MS104-SH4 ではサポートしていません。
#DACKn	O	DMA アクノリッジ DMA 転送要求に対する応答信号です。MS104-SH4 ではサポートしていません。
TC	O	ターミナルカウント DMA 転送の終了を示す信号です。MS104-SH4 ではサポートしていません。

OSC	O	オシレータクロック 14.31818MHzのクロック信号です。MS104-SH4ではサポートしていません。
#REFRESH	O	リフレッシュ メモリリフレッシュ信号です。MS104-SH4ではサポートしていません。
#ENDXFR	I	エンドトランスファ 16bitアクセスサイクル中にノーウェイトアクセスを示す信号です。MS104-SH4ではサポートしていません。
MASTER	I	マスター バス権要求信号です。MS104-SH4ではサポートしていません。
+5V	P	+5V 電源 最大 2A まで供給可能です。
-5V +12V -12V	P	-5V、+12V、-12V 電源 MS-104-SH4では、オプションコネクタ (J8) より供給可能です。
0V	P	0V (GND)
KEY	-	誤挿入防止キー MS104-SH4では未接続ピンとなっています。

3.13.1 PC/104 バスアクセス

PC/104 バスには、SH7750R の CS6 空間 (PC/104 互換) と CS4 空間 (PC/104 非互換) が割り当てられています。通常の PC/104 周辺バスボードを接続する場合には、CS6 空間を使用してください。

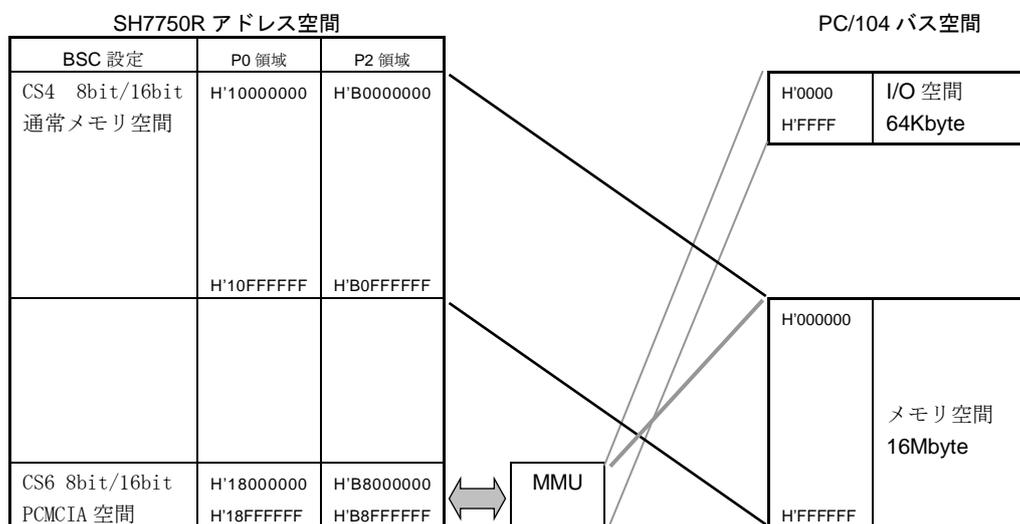


Fig3.13-3 PC/104 バスのマッピング

●CS6 空間(PCMCIA 空間)でのアクセス

CS6 空間で PC/104 バスにアクセスする場合には、PCMCIA インターフェース機能 (CS6) と MMU を利用してアクセスします。SH7750R のバスステートコントローラと PCMCIA インターフェースは、非常に柔軟なタイミング設定が可能です。ISA バスのサブセットである PC/104 バスにも適用できます。MMU 機能を利用することで、空間毎に I/O 空間とメモリ空間を自由に設定できるほか、I/O 空間の 8bit/16bit を切り替えるバスサイジングにも対応できます。

<PC/104 バスの空間属性について>

PC/104 バスの空間属性は、SH7750R の MMU で参照される TLB の SA (空間属性ビット) で指定することができます。本来は、PCMCIA 空間のマッピングをおこなうための機能ですが、MS104-SH4 では PC/104 バスに利用しています。指定できる空間属性は次のとおりです。(詳細は、SH7750 シリーズのハードウェアマニュアルをご覧ください)

PC/104 空間属性	SA ビット	SH7750R の空間属性名
バスサイジング I/O 空間	001	可変サイズ (8bit/16bit)
8 ビット I/O 空間	010	8 ビット I/O 空間
16 ビット I/O 空間	011	16 ビット I/O 空間
8 ビットメモリ空間	110	8 ビット属性メモリ空間
16 ビットメモリ空間	111	16 ビット属性メモリ空間

※メモリ空間のバスサイジングには対応していません。

●CS4 空間(通常メモリ空間)でのアクセス

CS4 空間で PC/104 バスにアクセスした場合、アクセスタイミングは、SH7750R の通常メモリバスタイミングになります。PC/104 バスとの互換性は低くなりますが、PC/104 バスタイミングに比べて高速アクセスが可能で、高速デバイスを接続する場合に有効です。また、CS6 空間と併用することで、PC/104 タイミングと混在することも可能です。バス幅やウェイトタイミング等は CS4 空間全体が BSC の設定値で固定されます。なお、アクセス空間はメモリ空間に限定されます。

3.13.2 SYSCLK の設定

PC/104 の SYSCLK 出力は、スイッチ (SS1-1) の設定で切り替えることができます。

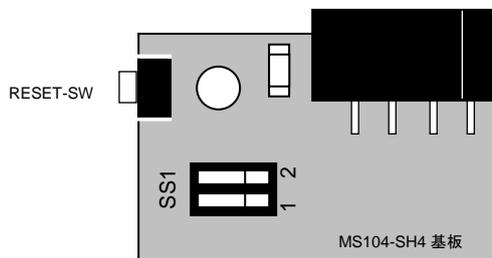


Fig 3.13-4 SS1 の位置

SS1-1	PC/104 SYSCLK
OFF	7.3728MHz
ON	CPU の CKIO 出力

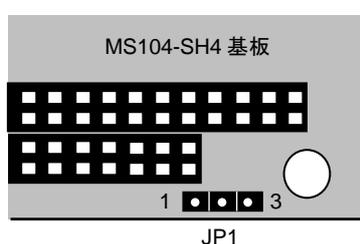
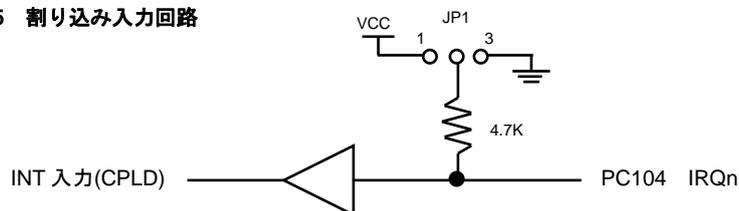
PC/104 バスでは、SYSCLK は 8MHz (5.988MHz (Min)~8.333MHz (Max)) に規定されています。したがって、SYSCLK を必要とする PC/104 周辺ボードを接続する場合には、7.3728MHz の設定でご使用ください。

なお、7.3728MHz は、CKIO を分周して生成されていますが、バスと同期しておりませんのでご注意ください。

3.13.3 割り込みのプルアップ／プルダウンの設定

PC104 の割り込み (IRQ3~IRQ15) のプルアップ／プルダウンをジャンパ設定 (JP1) で切り替えることができます。

Fig 3.13-5 割り込み入力回路



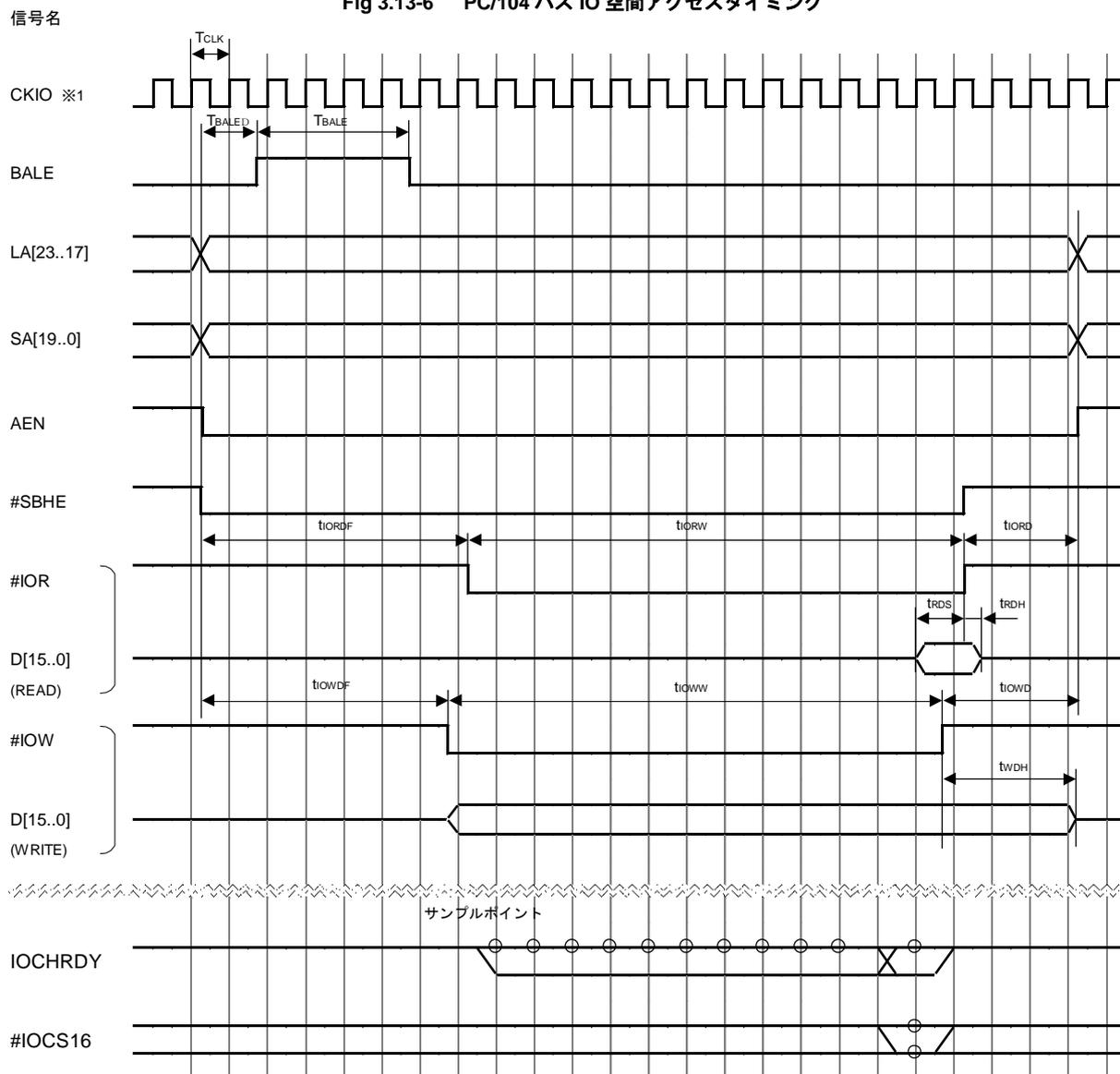
PC/104 バスでは、IRQ は High アクティブに規定されています。したがって、PC/104 バスに準拠した周辺バスボードを接続する場合には、プルダウン設定でご使用ください。

3.13.4 他社製 PC/104 ボードとの互換性

他社製 PC/104 ボードとの動作検証結果は、逐次弊社ホームページに更新掲載しておりますのでご参考にしてください。

3.13.5 PC/104 バス IO 空間アクセスタイミング

Fig 3.13-6 PC/104 バス IO 空間アクセスタイミング



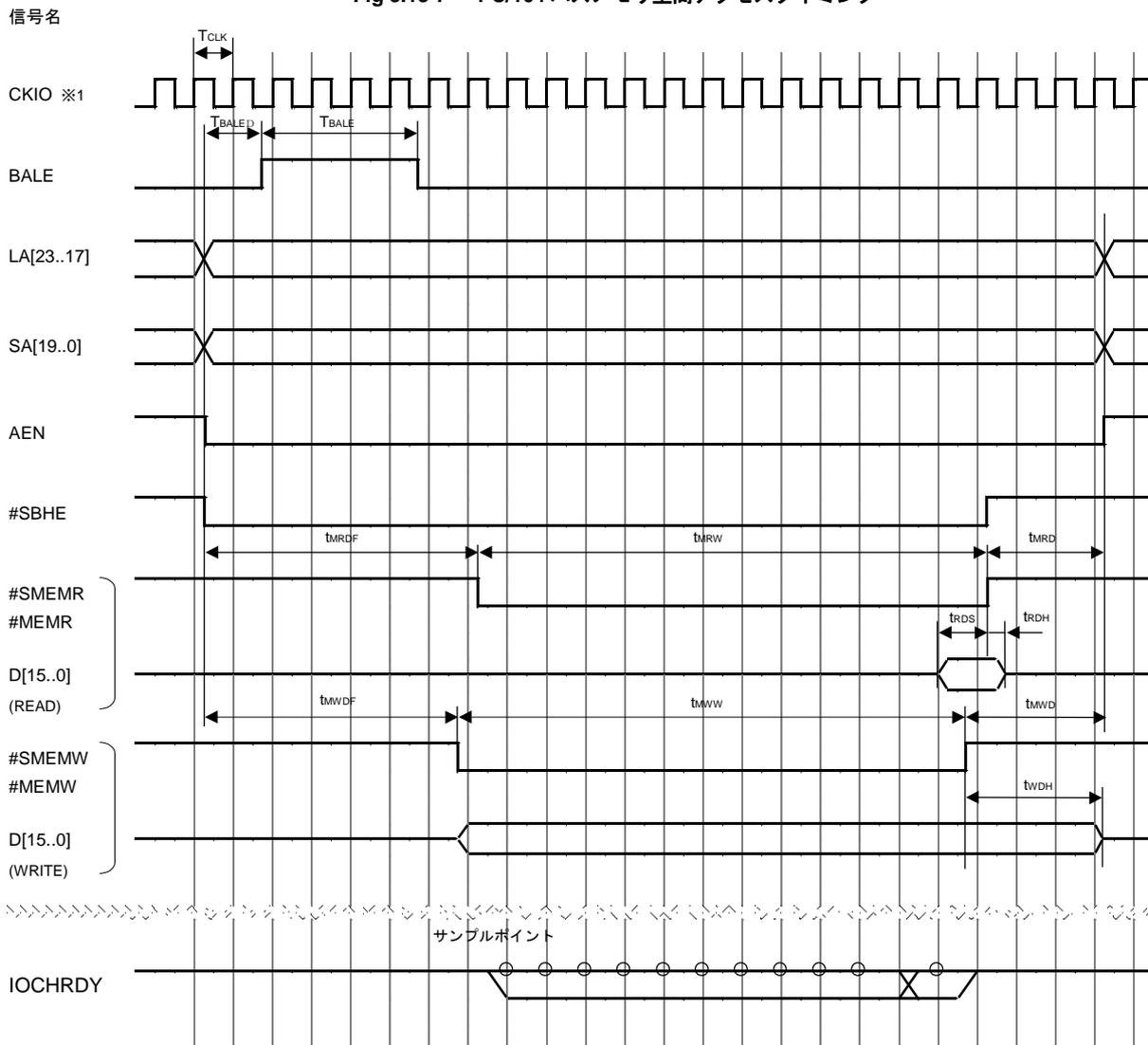
※1 CKIOは、SH7750Rのバスクロックです。PC104バスクロック (SYSCLK) とは異なりますのでご注意ください。

記号	信号名	パラメータ	備考
tclk	SH7750R バスクロック	58.9824MHz	
tBALED	BALE 出力遅延時間	約 25ns	
tBALE	BALE 出力パルス幅	約 68ns	
tiORDF	IOR アサート遅延時間	約 118ns	PCR [A6TED2:A6TED0]=100 (6clk)
tiORW	IOR 出力パルス幅	約 220ns	WCR2 [A6W2:A6W0] = 110 (12clk) PCR[A6PCW1:A6PCW0]=00 (0clk)
tiORD	IOR ネゲート遅延時間	約 51ns	PCR [A6TEH2:A6TEH0]=011 (3clk)
trDS	リードデータセットアップ時間	約 3.5ns	
trDH	リードデータホールド時間	約 1.5ns	
tiOWDF	IOW アサート遅延時間	約 110ns	
tiOWW	IOW 出力パルス幅	約 220ns	
tiOWD	IOW ネゲート遅延時間	約 59ns	
tWDH	ライトデータホールド遅延時間	約 59ns	

注意 : 上記タイミングはボード出荷時設定によるものです。バスバッファ、CPLDの出力遅延のばらつきにより、若干の変動があります。
タイミング詳細については、「SH7750 シリーズ ハードウェアマニュアル」および添付回路図にて再度ご確認くださいませうお願いいたします。

3.13.6 PC/104 バスメモリ空間アクセスタイミング

Fig 3.13-7 PC/104 バスメモリ空間アクセスタイミング



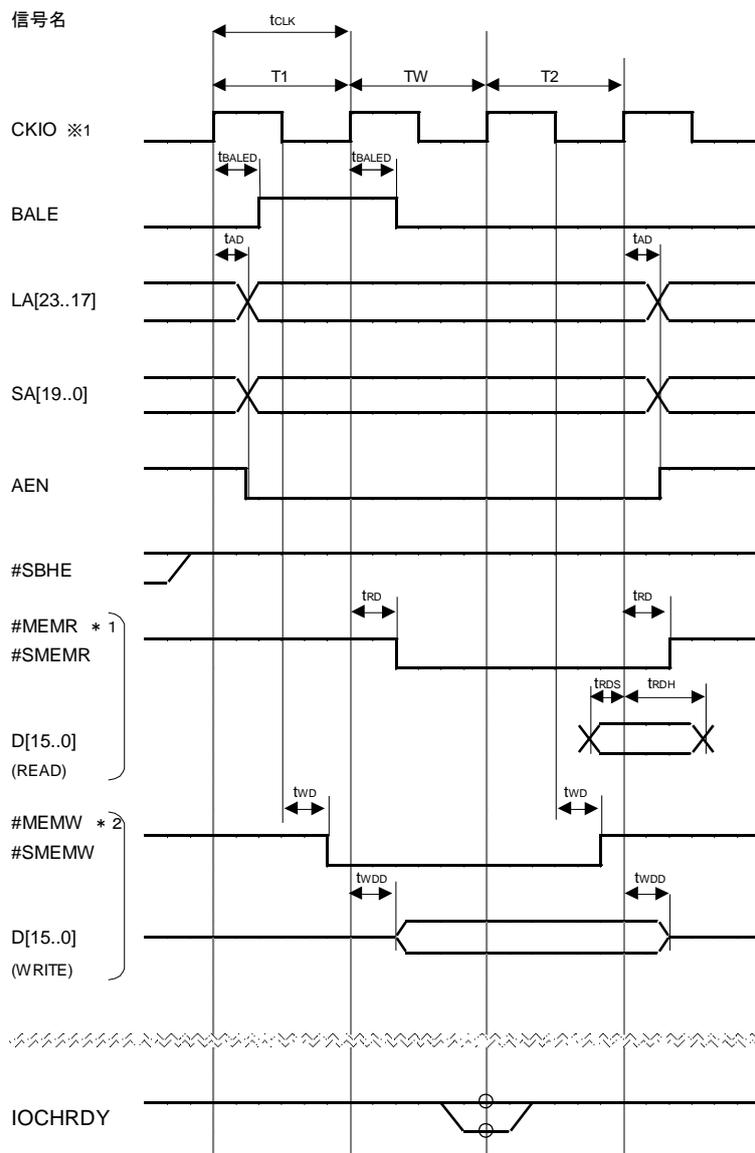
※1 CKIOは、SH7750Rのバスクロックです。PC104バスクロック (SYSCLK) とは異なりますのでご注意ください。

記号	信号名	パラメータ	備考
tCLK	SH7750R バスクロック	58.9824MHz	
tBALED	BALE 出力遅延時間	約 25ns	
tBALE	BALE 出力パルス幅	約 68ns	
tMRDF	MEMR アサート遅延時間	約 118ns	PCR [A6TED2:A6TED0]=100 (6clk)
tMRW	MEMR 出力パルス幅	約 220ns	WCR2 [A6W2:A6W0] = 110 (12clk) PCR[A6PCW1:A6PCW0]=00 (0clk)
tMRD	MEMR ネゲート遅延時間	約 51ns	PCR [A6TEH2:A6TEH0]=011 (3clk)
tRDS	リードデータセットアップ時間	約 3.5ns	
tRDH	リードデータホールド時間	約 1.5ns	
tMWDF	MEMW アサート遅延時間	約 110ns	
tMWW	MEMW 出力パルス幅	約 220ns	
tMWD	MEMW ネゲート遅延時間	約 59ns	
tWDH	ライトデータホールド遅延時間	約 59ns	

注意 : 上記タイミングはボード出荷時設定によるものです。バスバッファ、CPLDの出力遅延のばらつきにより、若干の変動があります。
 タイミング詳細については、「SH7750 シリーズ ハードウェアマニュアル」および添付回路図にて再度ご確認くださいませうお願いいたします。

3.13.7 PC/104 バス SH アクセスタイミング

Fig 3.13-8 PC/104 バス SH アクセスタイミング



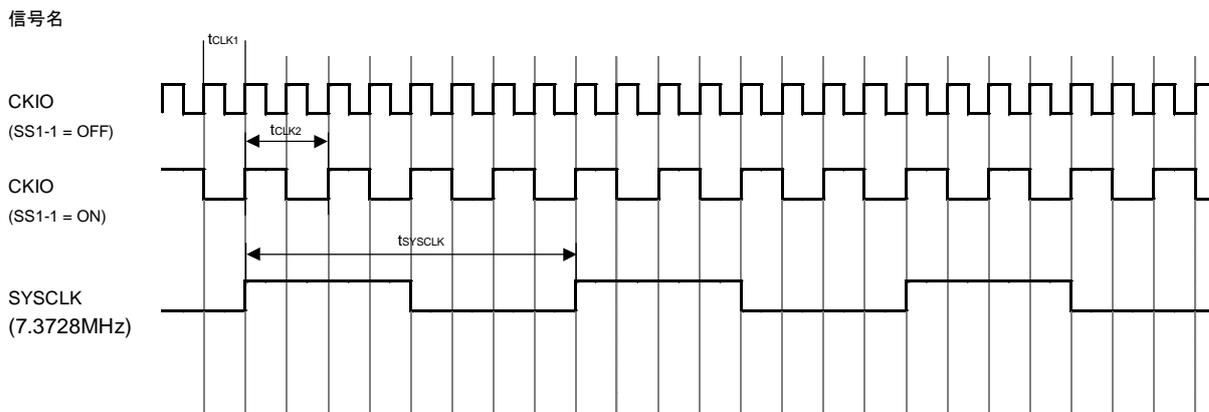
※1 CKIOは、SH7750Rのバスクロックです。PC104バスクロック (SYSCLK) とは異なりますのでご注意ください。

記号	信号名	Min	Max	備考
tclk	内部バスクロック	58.9824MHz		SH7750R の CKIO 出力
tw	ウェイト幅 (内部ウェイト+外部ウェイト)	IOCHRDYとウェイトコントロールレジスタ2 (A4W[2..0]) の設定に依存します。 ex) IOCHRDY = High A4W[2..0]=000(0wait) の場合 0Tclk		
tBALED	BALE 出力遅延時間	1.5ns	6ns	SH7750R の BS 信号の反転出力
tAD	アドレス出力遅延時間	1.5ns	6ns	
trd	リード出力遅延時間	1.5ns	6ns	SH7750R の RD 出力 * 1
trds	リードデータセットアップ時間	3.5ns	—	
trdh	リードデータホールド時間	1.5ns	—	
twd	ライト出力遅延時間	1.5ns	6ns	SH7750R の WEn 出力 * 2
twdd	ライトデータ遅延時間	1.5ns	6ns	

注意 : 上記タイミングはボード出荷時設定によるものです。バスバッファ、CPLDの出力遅延のばらつきにより、若干の変動があります。

タイミング詳細については、「SH7750 シリーズ ハードウェアマニュアル」および添付回路図にて再度ご確認くださいませうお願いいたします。

3.13.8 クロックタイミング

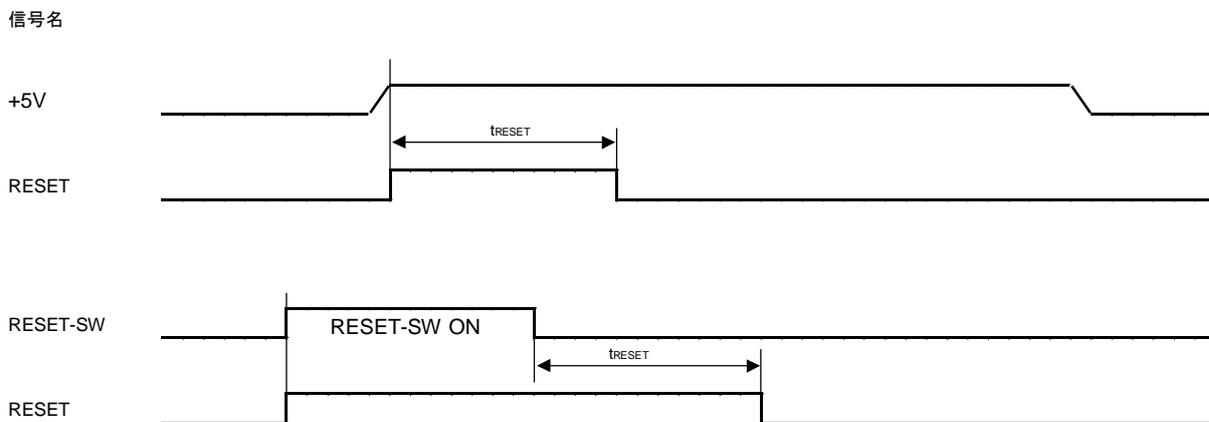


記号	名称	パラメータ	備考
tCLK1	CKIO 周波数 1	58.9824MHz	SS1-1 が OFF の場合
tCLK2	CKIO 周波数 2	29.4912MHz	SS1-2 が OFF の場合
tSYSCLK	SYSCLK 周波数	7.3728MHz	

注意 : 上記タイミングはボード出荷時設定によるものです。バスバッファ、CPLDの出力遅延のばらつきにより、若干の変動があります。

Fig 3.13-9 クロックタイミング

3.13.9 RESET タイミング



記号	名称	Min	Typ	Max	備考
tRESET	RESET パルス幅	60ms	100ms		

注意 : 上記タイミングはボード出荷時設定によるものです。バスバッファ、CPLDの出力遅延のばらつきにより、若干の変動があります。

Fig 3.13-10 RESET タイミング

3.13.10 PC/104 バス DC 特性

信号名	シンボル	パラメータ	Min	Max	備考
SA[19..0]	V _{IH}	High レベル入力電圧	1.7V	5.75V	
LA[23..20]	V _{IL}	Low レベル入力電圧	-0.5V	0.8V	
D[15..0]	V _{OH}	High レベル出力電圧	2.4V		
	V _{OL}	Low レベル出力電圧		0.45V	
SA[19..0]	V _{IH}	High レベル入力電圧	2.0V	7.0V	
LA[23..20]	V _{IL}	Low レベル入力電圧	-0.5	0.8V	
D[15..0]	V _{OH}	High レベル出力電圧	2.4V		
以外の信号	V _{OL}	Low レベル出力電圧		0.55V	

Table 3.13-11 DC 特性

3.14 電源

3.14.1 メイン電源

MS104-SH4 のメイン電源は、DC+5V です。消費電流は約 650mA 以下（CF カードを含めると 800mA 以下）ですので、単体で動作させる場合には、約 1A 程度の DC5V 電源を接続してください。

PC/104 周辺ボードを接続する場合には、最大 2A までの電源を接続できます。

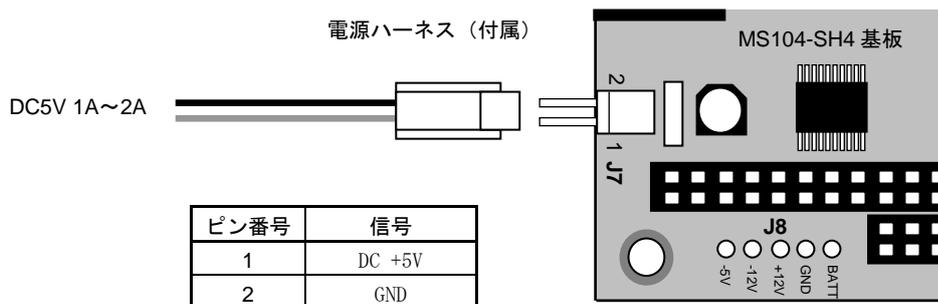


Fig 3.14-1 メイン電源の接続

3.14.2 オプション電源

MS104-SH4 では、+5V 以外の電源を必要としませんが、PC/104 バス規格では、+5V のほかに -5V と +12V と -12V が供給可能となっています。これらは、主にアナログ系入出力ボード等に利用されています。

MS104-SH4 では、J8 コネクタから供給可能です。（Fig 3.14.1 参照）J8 は $\Phi 1.0\text{mm}$ のスルーホールで、2.54mm 間隔となっておりますので、適当なコネクタを実装してお使いください。（推奨コネクタ BS5P-SHF-1AA : 日圧）

BATT につきましては、RTC（カレンダータイマ）の説明をご覧ください。

電圧	最大電圧	最小電圧	最大電流
+12V	+12.6V	+11.4V	1.0A
+5V	+5.25V	+4.75V	2.0A
-5V	-4.75V	-5.25V	0.2A
-12V	-11.4V	-12.6V	0.3A

Table 3.14-2 PC104 モジュール 電源仕

4. その他

4.1 基板寸法

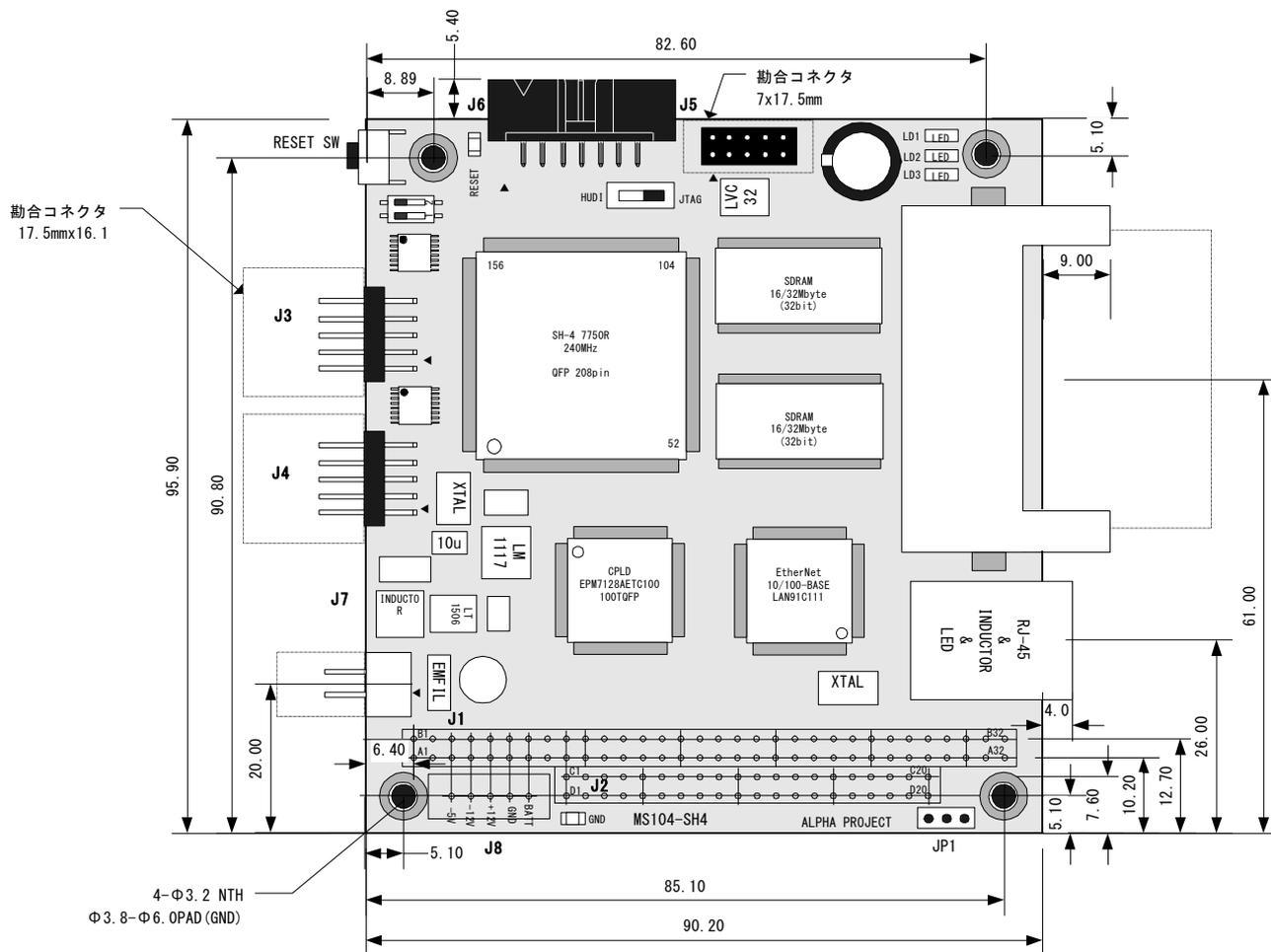


Fig 4.1-1 基板寸法図

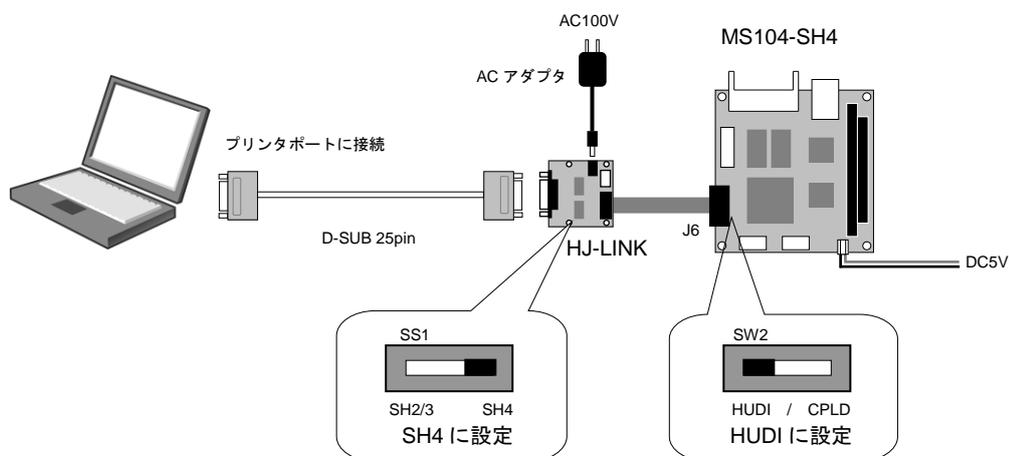
4.2 フラッシュメモリの書き込み方法

HUDI インターフェース経由でフラッシュメモリを書き込む場合には、弊社製品マルチダウンロードアダプタ「HJ-LINK」や HUDI デバッガのフラッシュメモリ書き込み機能を利用します。本章では、「HJ-LINK」と「FlashWriterEX」を利用した書き込み方法を説明します。なお、「FlashWriterEX」と「HJ-LINK」は、Linux 開発 KIT「Linux-Kit-AXX」に含まれています。(※1) または、それぞれ個別製品でもお求めいただけます。各製品の詳細は、それぞれの製品マニュアルをご覧ください。

※1 Linux-Kit-AXXに含まれる FlashWriterEXはSH7750R 限定版です。
XXはバージョン番号になります。

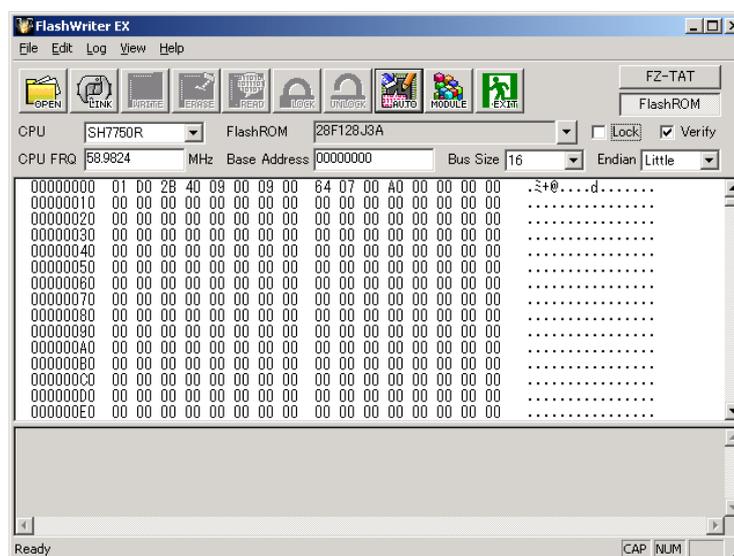
- ① 下記のように PC と HJ-LINK と MS104-SH4 を接続します。MS104-SH4 の電源は切っておきます。

Fig 4.2-1 HJ-LINK の接続



- ② FlashWriterEX を起動し、CPU やデバイスなどの必要項目を設定し、Auto(AutoTransfer)ボタンをクリックします。Tartget Write ダイアログが表示されますので、Start ボタンをクリックし、MS104-SH4 の電源を入れると自動的に書き込みが開始されます。

Fig 4.2-2 FlashWriterEX の画面

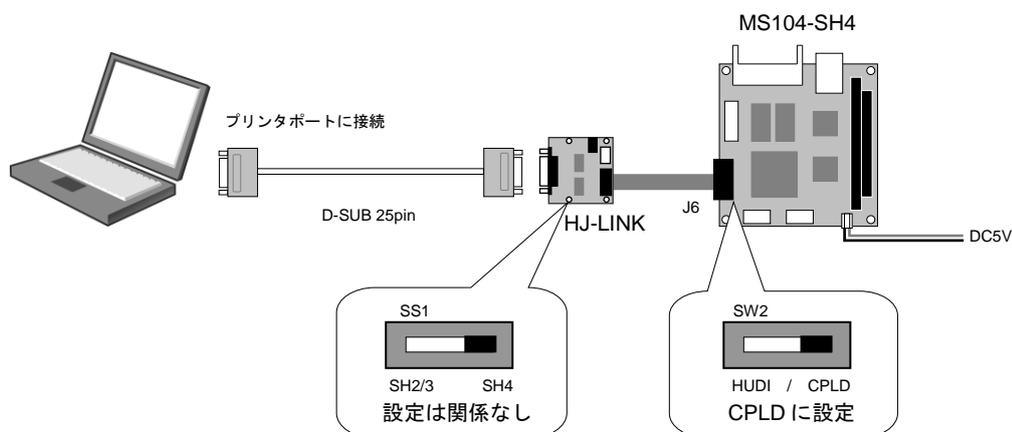


4.3 CPLD の書き込み方法

CPLD にコンフィグレーションデータを書き込むには、弊社製品「HJ-LINK」と Intel 社製開発ツール「Max+Plus II」か「Quartus II」を使用します。

- ① 下記のように PC と HJ-LINK と MS104-SH4 を接続します。MS104-SH4 では、CPLD 書き込み用の JTAG インターフェースと HUDI は兼用コネクタとなっているため、通常とは接続方法が異なります。

Fig 4.3-1 HJ-LINK の接続



- ② 「Max+Plus II」※または「Quartus II」※の Programmer を起動し、書き込みをおこないます。HardwareType は ByteBlaster II に設定してください。
なお、「Max+Plus II」と「Quartus II」の詳しい操作方法につきましては、Intel 社のマニュアルをご覧ください。

※Max+PLUS II は Ver10.22 以降、Quartus II は、Ver2.2SP2 以降をご利用ください。

4.4 PC/104 周辺ボードの接続

4.4.1 PC/104 バスコネクタの取り付け

PC/104 周辺ボードを接続する場合には、添付されている PC/104 バスコネクタ（64pin 1 個、40pin 1 個）を実装してください。実装する際には、基板にコネクタをしっかりと差し込んで、浮きがないように取り付けてください。また、できるだけ細いハンダゴテを使用し、ピンの挿抜部分にハンダが付着しないように注意してください。

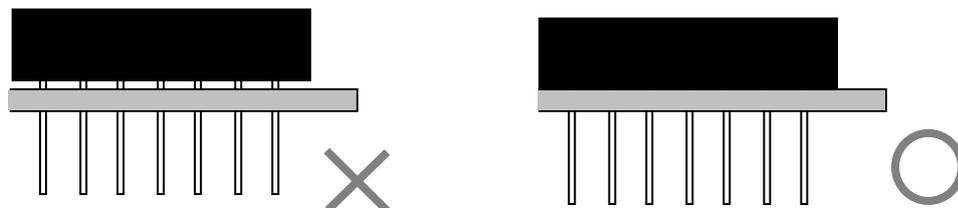


Fig 4.4-1 PC/104 コネクタの実装

4.4.2 PC/104 ボードの接続

MS104-SH4 には、PC/104 ボードを上下のどちらにでもスタッキングが可能です。

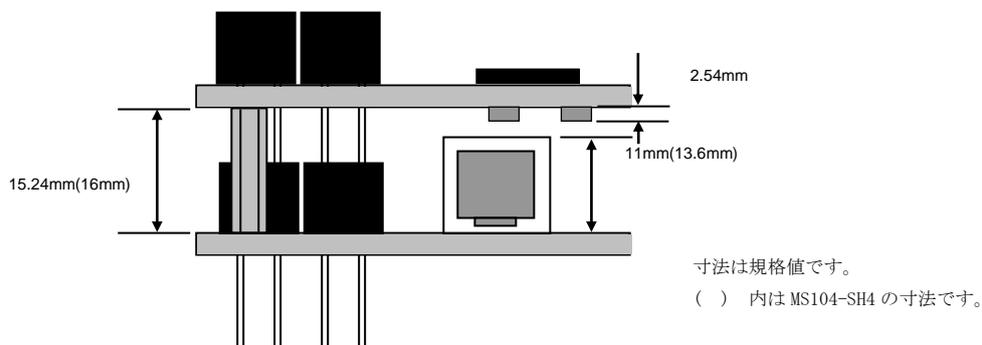


Fig 4.4-2 PC/104 スタッキング寸法図

■MS104-SH4 のスタッキング接続に関する注意

MS104-SH4 は、LAN コネクタの実装高さが PC/104 規格寸法を超えています。（上図参照）。そのため、MS104-SH4 の上に周辺ボードをスタッキングする場合、規格値 15mm のスペーサを使用すると上の基板部品と干渉する場合があります。したがって、MS104-SH4 の上にスタッキングする場合には、添付の 16mm のスペーサを使用してください。それでも部品が干渉する場合には、連結用に PC/104 コネクタのみを 1 段分入れるなどしてください。

製品サポートのご案内

●ユーザ登録

ユーザ登録は弊社ホームページにて受け付けております。ユーザ登録をしていただきますと、バージョンアップや最新の情報等をE-Mailでご案内させていただきますので、是非ご利用ください。

弊社ホームページアドレス <https://www.apnet.co.jp>

●修理の依頼

修理をご依頼いただく場合は、下記サイトにある製品保証規定と修理規定をご確認の上、「お問い合わせフォーム」より製品サポートへご連絡ください。

修理・故障に関するお問い合わせ

<https://www.apnet.co.jp/support/index.html>

●製品サポートの方法

製品サポートについては、FAXもしくはE-Mailでのみ受け付けております。お電話でのお問い合わせは受け付けておりませんのでご了承ください。なお、お問い合わせの際には、製品名、使用環境、使用方法等、問題点を詳細に記載してください。

技術的なお問い合わせ

E-Mail query@apnet.co.jp

以下の内容に該当するお問い合わせにつきましては受け付けておりませんのであらかじめご了承ください。

- 本製品の回路動作及びCPUおよび周辺デバイスの使用方法に関するご質問
- ユーザ回路の設計方法やその動作についてのご質問
- 関連ツールの操作指導
- その他、製品の仕様範囲外の質問やお客様の技術によって解決されるべき問題

●ソフトウェアのサポート

ソフトウェアに関する技術的な質問は、受け付けておりませんのでご了承ください。

サポートをご希望されるお客様には、個別に有償にて承りますので弊社営業までご相談ください。

エンジニアリングサービスのご案内

弊社製品をベースとしたカスタム品やシステム開発を承っております。

お客様の仕様に合わせて、設計から OEM 供給まで一貫したサービスを提供いたします。

詳しくは、弊社営業窓口までお問い合わせください。

営業案内窓口

■ TEL	053-401-0033 (代表)
■ FAX	053-401-0035
■ E-Mail	sales@apnet.co.jp

改定履歴

版数	日付	改定内容
1 版	2003/07/02	新規作成
2 版	2003/09/23	3.2.1 バスステートコントローラ設定 エリア 2 のウェイト数の変更 3.13 PC/104 バスインタフェース IRQ9、DRQ2 接続先修正 説明を一部追加 3.13.8 SYSCLK 7.2738MHz を 7.3728MHz に修正
3 版	2003/10/28	3.2.1 バスステートコントローラ設定 エリア 3 の書き込みプリチャージ遅延の変更
4 版	2003/11/17	3.2.1 バスステートコントローラ設定 エリア 2 のアイドル間サイクル数の変更
5 版	2004/02/06	誤記修正
6 版	2005/01/20	巻頭 付属ソフトウェアについて 付属ファイルの変更
7 版	2005/12/05	誤記修正
8 版	2008/12/09	誤記修正
9 版	2008/12/12	3.1.1 動作モードの設定 スイッチ番号の修正(SS1) 3.1.2 クロックモードの設定 スイッチ番号の修正(SS1) 3.13.2 SYSCLK の設定 スイッチ番号の修正(SS1)
10 版	2009/04/17	巻頭「付属ソフトウェアについて」削除 RedBoot 記載削除
11 版	2011/03/22	RS232C ドライバを SN65C3232DBR に変更 2.3 外形図 使用コネクタ一覧 LAN コネクタを PTL-TJ-N-D(JIROTECH)に変更
12 版	2011/11/21	SDRAM を M12L128168AL1AM-7TG2L に変更
13 版	2021/02/05	「梱包内容」変更 「取り扱い上の注意」修正 「保証」修正 「参考 URL」更新 ルネサステクノロジーの社名をルネサスエレクトロニクスに変更 SMSC の社名を Microchip に変更 Intel の社名を MICRON に変更 ALTERA の社名を Intel に変更 「製品サポートのご案内」更新 「エンジニアリングサービスのご案内」更新
14 版	2023/10/02	プリインストール OS の記載を追加 住所の更新

参考文献

「SH7750 シリーズハードウェアマニュアル」 ルネサスエレクトロニクス株式会社

「PC/104 Specification」 PC/104 Consortium

その他 各社データシート

本文書について

- ・ 本文書の著作権は株式会社アルファプロジェクトが保有します。
- ・ 本文書の内容を無断で転載することは一切禁止します。
- ・ 本文書の内容は、将来予告なしに変更されることがあります。
- ・ 本文書の内容については、万全を期して作成いたしました。万が一不審な点、誤りなどお気づきの点がありましたら弊社までご連絡ください。
- ・ 本文書の内容に基づき、アプリケーションを運用した結果、万一損害が発生しても、弊社では一切責任を負いませんのでご了承ください。

商標について

- ・ SuperH は、ルネサスエレクトロニクス株式会社の登録商標、商標または商品名称です。
- ・ Max+plus および Quartus は、Intel Corporation の米国およびその他の国における登録商標、商標です。
- ・ Linux は、Linus Torvalds の米国およびその他の国における登録商標または商標です。
- ・ コンパクトフラッシュはサンディスク社の商標です。
- ・ その他の会社名、製品名は、各社の登録商標または商標です。



株式会社アルファプロジェクト
〒431-3114
静岡県浜松市中央区積志町 834
<https://www.apnet.co.jp>
E-Mail : query@apnet.co.jp