## MS104-SH4AG ハードウェアマニュアル 3版 正誤表

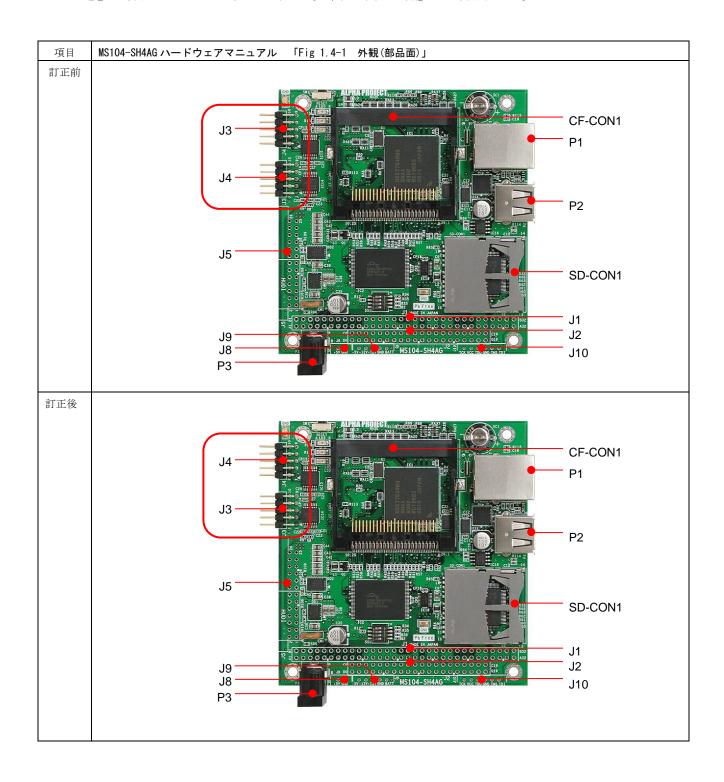
2版 2021年02月05日

平素は弊社製品をご利用いただき誠にありがとうございます。

この度、弊社製品 MS104-SH4AG ハードウェアマニュアルに誤記が見つかりましたので、

以下のように訂正させていただきます。

ご迷惑をお掛けしましたことをお詫びしますとともに、訂正事項をご留意の上ご利用ください。



項目 MS	S104-SH4AG /\— F	「ウェアマニュアル 「Table 2.1-3	IO ポートの機能割り	当て(2)」	
訂正前					
	PH2	LCD_DON/DCLOUT	DCLKOUT	0	7
	PH1	LCD_VCP_WC/DR4	DR4	0	_
	PH0	LCD_VEP_WC/DR5	DR5	0	_
	PI4	LCD_DATA7/DG1/BT_DATA7	DG1	0	_
	PI3	LCD_DATA6/DG0/BT_DATA6	DG0	0	
	PI2	LCD_DATA5/DB5/BT_DATA5	DB5	0	
	PI1	LCD_DATA4/DB4/BT_DATA4	DB4	0	
	PIO	PIO/COM/CDE	COM/CDE	0	
	PJ7	IDED10_M	PJ7	ı	J5(GPIO)に接続
	PJ6	IDED5_M	PJ6	1	JOO TO NO JAME
	PJ5	IDED9_M	PJ5	ı	1
	PJ4	IDED6_M	PJ4	1	
		15250_111			
	P.13	IDED7 M	P.13	1 1	
	PJ3 PJ2	IDED7_M IDED8_M  Table 2.1-3 I0	PJ3 PJ2 ポートの機能割り	I   I 当て(2)	
訂正後		IDED8_M	PJ2	I	
訂正後		IDED8_M	PJ2	I	
丁正後	PJ2	Table 2.1-3 IO	PJ2 ポ <b>ートの機能割り</b>	当て(2)	
丁正後	PJ2	Table 2.1-3 IO	PJ2 ポートの機能割り DCLKOUT	」 当て(2)	
丁正後	PJ2 PH2 PH1	IDED8_M  Table 2.1-3 I0  LCD_DON/DCLOUT LCD_VCP_WC/DR4	PJ2 ポートの機能割り DCLKOUT DR4	し 当て(2)	
丁正後	PJ2 PH2 PH1 PH0	IDED8_M  Table 2.1-3 I0  LCD_DON/DCLOUT  LCD_VCP_WC/DR4  LCD_VEP_WC/DR5	PJ2 ポートの機能割り DCLKOUT DR4 DR5	リ 当て(2)	
丁正後	PJ2 PH2 PH1 PH0 Pl4	IDED8_M  Table 2.1-3 I0  LCD_DON/DCLOUT LCD_VCP_WC/DR4 LCD_VEP_WC/DR5 LCD_DATA7/DG1/BT_DATA7	PJ2 ポートの機能割り DCLKOUT DR4 DR5 DG1	リ 当て(2)	
打正後	PJ2 PH2 PH1 PH0 Pl4 Pl3	IDED8_M  Table 2.1-3 I0  LCD_DON/DCLOUT LCD_VCP_WC/DR4 LCD_VEP_WC/DR5 LCD_DATA7/DG1/BT_DATA7 LCD_DATA6/DG0/BT_DATA6	PJ2 ポートの機能割り DCLKOUT DR4 DR5 DG1 DG0	リ 当て(2)	
訂正後	PJ2  PH2  PH1  PH0  PI4  PI3  PI2	IDED8_M  Table 2.1-3 I0  LCD_DON/DCLOUT LCD_VCP_WC/DR4 LCD_VEP_WC/DR5 LCD_DATA7/DG1/BT_DATA7 LCD_DATA6/DG0/BT_DATA6 LCD_DATA5/DB5/BT_DATA5	PJ2 ポートの機能割り DCLKOUT DR4 DR5 DG1 DG0 DB5	し 当て(2)	
打正後	PJ2  PH2  PH1  PH0  PI4  PI3  PI2  PI1	IDED8_M  Table 2.1-3 I0  LCD_DON/DCLOUT LCD_VCP_WC/DR4 LCD_VEP_WC/DR5 LCD_DATA7/DG1/BT_DATA7 LCD_DATA6/DG0/BT_DATA6 LCD_DATA5/DB5/BT_DATA5 LCD_DATA4/DB4/BT_DATA4	PJ2 ポートの機能割り DCLKOUT DR4 DR5 DG1 DG0 DB5 DB4	し 当て(2)	J5(GPIO)に接続
丁正後	PJ2  PH1  PH0  PI4  PI3  PI2  PI1  PI0	IDED8_M  Table 2.1-3 I0  LCD_DON/DCLOUT LCD_VCP_WC/DR4 LCD_VEP_WC/DR5 LCD_DATA7/DG1/BT_DATA7 LCD_DATA6/DG0/BT_DATA6 LCD_DATA5/DB5/BT_DATA5 LCD_DATA4/DB4/BT_DATA4 COM/CDE	PJ2 ポートの機能割り DCLKOUT DR4 DR5 DG1 DG0 DB5 DB4	り (2) (3) (4) (4) (5) (6) (7) (7) (7) (7) (7) (7) (7) (7) (7) (7	J5(GPIO)に接続
打正後	PJ2  PH2 PH1 PH0 Pl4 Pl3 Pl2 Pl1 Pl0 PJ7	IDED8_M  Table 2.1-3 I0  LCD_DON/DCLOUT LCD_VCP_WC/DR4 LCD_VEP_WC/DR5 LCD_DATA7/DG1/BT_DATA7 LCD_DATA6/DG0/BT_DATA6 LCD_DATA5/DB5/BT_DATA5 LCD_DATA4/DB4/BT_DATA4 COM/CDE IDED10_M	PJ2 ポートの機能割り  DCLKOUT DR4 DR5 DG1 DG0 DB5 DB4 PI0 PJ7	O O O O O O O O I I	J5(GPIO)に接続
訂正後	PJ2  PH2  PH1  PH0  PI4  PI3  PI2  PI1  PI0  PJ7  PJ6	IDED8_M  Table 2.1-3 IO  LCD_DON/DCLOUT LCD_VCP_WC/DR4 LCD_VEP_WC/DR5 LCD_DATA7/DG1/BT_DATA7 LCD_DATA6/DG0/BT_DATA6 LCD_DATA5/DB5/BT_DATA5 LCD_DATA4/DB4/BT_DATA4 COM/CDE IDED10_M IDED5_M	PJ2 ポートの機能割り  DCLKOUT DR4 DR5 DG1 DG0 DB5 DB4 PI0 PJ7 PJ6	り (2) (3) (4) (4) (5) (5) (6) (7) (7) (7) (7) (7) (7) (7) (7) (7) (7	J5(GPIO)に接続
打正後	PJ2  PH2 PH1 PH0 PI4 PI3 PI2 PI1 PI0 PJ7 PJ6 PJ5	IDED8_M  Table 2.1-3 I0  LCD_DON/DCLOUT LCD_VCP_WC/DR4 LCD_VEP_WC/DR5 LCD_DATA7/DG1/BT_DATA7 LCD_DATA6/DG0/BT_DATA6 LCD_DATA5/DB5/BT_DATA5 LCD_DATA4/DB4/BT_DATA4 COM/CDE IDED10_M IDED5_M IDED9_M	PJ2 ポートの機能割り  DCLKOUT DR4 DR5 DG1 DG0 DB5 DB4 PI0 PJ7 PJ6 PJ5	します (2) 当 (2) の の の の の の の の の の の の の の の の の の の	J5(GPIO)に接続

## 改定履歴

日付	改定内容
2009/05/20	新規作成
2021/02/05	「著作権について」修正
	「商標について」修正

## 著作権について

- ・本文書の著作権は株式会社アルファプロジェクトが保有します。
- ・本文書の内容を無断で転載することは一切禁止します。
- ・本文書の内容は、将来予告なしに変更されることがあります。
- ・本文書の内容については、万全を期して作成いたしましたが、万一ご不審な点、誤りなどお気付きの点がありましたら弊社までご連絡 下さい。
- ・本文書の内容に基づき、アプリケーションを運用した結果、万一損害が発生しても、弊社では一切責任を負いませんのでご了承下さい。

## 商標について

- ・SuperH は、ルネサス エレクトロニクス株式会社の登録商標、商標または商品名称です。
- ・その他の会社名、製品名は、各社の登録商標または商標です。



〒431-3114 静岡県浜松市東区積志町 834 https://www.apnet.co.jp E-Mail:query@apnet.co.jp