

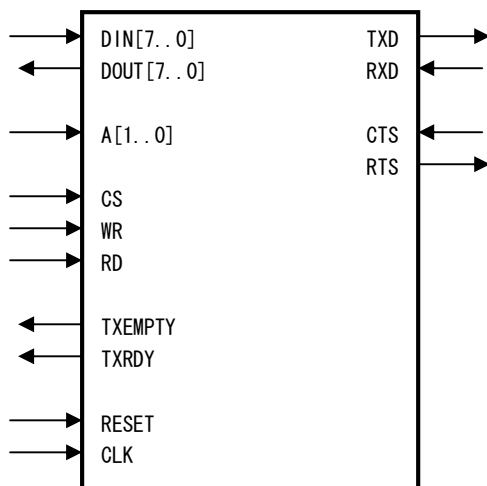
# ASCI (Asynchronous Serial Communication Interface with baudrate generator)

本 IP は、非同期シリアル通信用送受信モジュールで、ボーレートジェネレータを内蔵する。

## ■通信条件

非同期 データ長：8ビット スタートビット：1 ストップビット：1  
 通信速度：CLKによる (CLK=40MHz 時で MAX1.25MHz)

## ■ピン構成



端子名	I/O	信号名	機能
DIN[7..0]	IN	データ入力	8bit データ入力
DOUT[7..0]	OUT	データ出力	8bit データ出力
A[1..0]	IN	アドレス入力	レジスタ選択 [00]WR → TX_REG 書き込み RD → RX_REG 読み込み [01]WR → COMMND REG 書き込み [10]RD → STATUS REG 読み込み [11]WR → BAUDRATE REG 書き込み
CS	IN	チップセレクト	チップ選択信号 LOW アクティブ
WR	IN	ライト信号	レジスタ書き込み信号 LOW アクティブ
RD	IN	リード信号	レジスタ読み込み信号 LOW アクティブ
TXEMPTY	OUT	TX バッファエンプティ	送信データバッファが空の場合に HIGH になる。 TX_EN が 0 の場合 (送信停止中) は、LOW になる。
RXRDY	OUT	RX レディ	受信データが存在する場合に HIGH になる。 RX_EN が 0 の場合 (受信停止中) は、LOW になる。
RESET	IN	リセット入力	HIGH で内部レジスタが初期化される。
CLK	IN	クロック入力	クロック入力。ボーレートの 32 倍のクロックが必要。
TXD	OUT	送信データ出力	送信シリアルデータ列を出力する
RXD	IN	受信データ入力	受信シリアルデータ列を入力する
CTS	IN	CTS 入力	Hi の場合、送信を抑制する。
RTS	OUT	RTS 出力	受信可能の場合、LOW を出力する。 RX_EN が 0 の場合 (受信停止中) は、HIGH になる。

## ■ レジスタ構成

- 送信データレジスタ 送信データを書き込む

[00] (RD) TX\_REG

D7	D6	D5	D4	D3	D2	D1	D0
TXD7	TXD6	TXD5	TXD4	TXD3	TXD2	TXD1	TXD0
1	1	1	1	1	1	1	1

- 受信データレジスタ 受信データを読み出す

[00] (WR) RX\_REG

D7	D6	D5	D4	D3	D2	D1	D0
RXD7	RXD6	RXD5	RXD4	RXD3	RXD2	RXD1	RXD0
0	0	0	0	0	0	0	0

- コマンドレジスタ 送受信を制御する

[01] (WR) COMMAD\_REG

D7	D6	D5	D4	D3	D2	D1	D0
-	RES	-	ER_RES	-	RX_EN	-	TX_EN
	0		0		0		0

ビット名	機能	
TX_EN	1:送信開始	0:送信停止
RX_EN	1:受信開始	0:受信停止
ER_RES	1:エラーリセット	0:通常動作
RES	1:チップ内部リセット	0:通常動作

- ステータスレジスタ 送受信のステータスを示す

[01] (RD) STATUS\_REG

D7	D6	D5	D4	D3	D2	D1	D0
CTS	-	FRM_ERR	OVR_ERR	-	TX_EMP	RXRDY	-
1/0		0	0		0	0	

ビット名	機能	
RXRDY	1:受信バッファにデータがある	0:受信バッファにデータがない
TX_EMP	1:送信バッファが空	0:送信が空でない、または送信停止中
OVR_ERR	1:オーバランエラー	0:通常動作
FRM_ERR	1:フレーミングエラー	0:通常動作
CTS	1:CTS 端子が LOW	0:CTS 端子が HIGH

- ボーレートレジスタ ボーレートを設定する

[11] (WR) BAUDRATE\_REG

D7	D6	D5	D4	D3	D2	D1	D0
BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
0	0	0	0	0	0	0	0

設定値の算出方法

$$n = \text{CLK} / (\text{Baudrate} \times 32)$$