

高速64ビットRISC CPUボード

アルファボ - ドシリ - ズ

AP - SH4 - 0A (REV1.1)

32ビットバス対応

ハードウェア・マニュアル

5版 2005/09/09

ALPHA PROJECT Co., LTD

AP - SH4 - 0A ハ - ドウェア・マニュアル

この度は、アルファボ - ドシリ - ズ 「AP - SH4 - 0A」 をお買いあげ頂きまして誠に有り難うございます。
本製品は、CPUコアにSH - 4を採用したシングルチップマイコンSH7750を搭載した汎用CPUボードです。
本ボ - ドをお役立て頂くために、本マニュアルを十分お読み下さいますようお願いいたします。
今後共、弊社製品をご愛顧賜りますよう宜しくお願いいたします。

梱包内容

・ AP - SH4 - 0A ボ - ド	× 1 枚
・ 電源用ハ - ネス (4 P I N)	× 1 本
・ マニュアル / プログラムディスク	× 1 枚
・ 保証書	× 1 枚
・ 回路図	× 1 枚

本製品の内容及び仕様は予告なしに変更されることがありますのでご了承ください。
本製品は万全の注意を払って製作されていますが、万一初期不良品であった場合、お買い上げ頂いた販売店へ保証書を添えて御持参ください。
本ボ - ド及び弊社製品についてのお問い合わせは下記の E-MAIL もしくは FAX にてお願いいたします。
なお、CPU 自体の機能等についてのお問い合わせには回答しかねますので、御了承ください。

お問い合わせ先

株式会社 アルファプロジェクト

〒433 - 8122

静岡県浜松市上島4 - 4 - 24

FAX (053) 464 - 3737

E-MAIL query@apnet.co.jp

目次

1 . 製品概要	1
1 . 1 概要	1
1 . 2 機能及び特徴	1
1 . 3 仕様	2
2 . 機能説明	3
2 . 1 設定	3
2 . 2 メモリバックアップ	7
2 . 3 リセット	7
2 . 4 外部から 3 . 3 V を供給する場合	8
2 . 5 端子配列	9
3 . 技術資料	11
3 . 1 アドレスマップ	11
3 . 2 メモリ設定	12
3 . 3 フラッシュROMのアクセス方法	13
3 . 4 ダウンローダの使用法	14
3 . 5 FlashWriterEX を使用したフラッシュメモリの書き込み方法	18
3 . 6 外形寸法図	19
3 . 7 回路構成	19
3 . 8 5 V回路インターフェース	20
3 . 9 EPROMの接続方法	20
3 . 10 REV 1 . 0 REV 1 . 1 基板の違い	21
4 . 製品サポートと使用上の注意	22
4 . 1 弊社ホームページのご案内	22
4 . 2 製品サポート窓口	22
4 . 3 製品のサポート範囲	22
4 . 4 使用上の注意	22

1. 製品概要

1.1 概要

本製品は、CPUコアにSH-4を採用したシングルチップマイコンSH7750を搭載した汎用CPUボードです。本ボードは外部接続コネクタへ外部拡張に必要な信号をすべて引き出してありますので、各種試作用途及び小ロットの製品への適用など、幅広い対応が可能です。

1.2 機能及び特徴

1) 64ビットRISC CPU SH7750 (日立製) を搭載

< SH7750 概要 >

- ・外部64ビット/内部32ビット構成
- ・FPU 64ビット浮動小数点コプロセッサ内蔵
- ・キャッシュメモリ 命令キャッシュ 8Kbyte オペランドキャッシュ 16Kbyte
- ・MMU内蔵 4Gバイトアドレス 256アドレス空間
- ・パイプライン 5段パイプライン
- ・高速DMAコントローラ 4チャンネル
- ・シリアルインタフェース 2チャンネル
- ・32ビットタイマ 3本
- ・RTC内蔵
- ・割り込み 独立外部5本 (NMI、IRL3~IRL0) 符号化外部割り込み 15本
- ・パラレルポート 20本 (兼用端子含む)
- ・最高動作周波数 80MHz (PLL使用時)
- ・低消費電力
- ・JTAG (H-UDI) 内蔵

2) 大容量メモリ搭載

本ボードには多様なニーズを想定して3種類のメモリが搭載されています。プログラムメモリとして、FLASH ROM 1Mbyte (最大4Mbyte) を搭載しています。RAMは、高速SDRAMが16Mbyte、バックアップ可能なメモリとしてSRAMが256Kbyte (最大1Mbyte) 搭載されています。

3) 通信用コネクタを装備

オプション製品の各種通信アダプタ (PC-RS-04 (RS232)、PC-USB-01 (USB)、PC-LAN-01 (LAN)) を接続すれば、さまざまな通信が簡単に行えます。

4) 外部拡張が容易

外部接続コネクタ (64PIN×2、50PIN×1) へ拡張に必要な信号線をすべて引き出してありますので、メモリの増設、I/Oの増設等が容易です。

1.3 仕様

CPU	SH7750F167 (208PQFP)
クロック	動作周波数 CPUコア 最大162MHz (27MHz水晶振動子使用) バスクロック 最大 81MHz
メモリ	フラッシュROM 1Mbyte 16ビット SDRAM 16Mbyte 32ビット SRAM 256Kbyte 16ビット 命令キャッシュ 8Kbyte オペランドキャッシュ 16Kbyte
外部メモリチップ セレクト	チップセレクト端子7本 PCMCIAインターフェース内蔵 CS0:フラッシュROM、CS1:SRAM CS3:SDRAM 使用 各メモリはマスク可能 CS0とCS1は入れ替え可能(デバッグ時に使用)
メモリバックアップ	バックアップ切替対応 外部にバックアップ電池等を接続することによりSRAMバックアップ可能
I/O	シリアルインターフェース 2CH パラレルインターフェース I/O 20ビット
タイマ/カウンタ	32ビットタイマ 3チャンネル
割り込み	割り込みコントローラ内蔵 外部5本(レベル割り込み15本) NMI1本 その他内部周辺割り込み
DMA	DMAコントローラ内蔵 4CH
DRAM	SDRAM、DRAMコントローラ内蔵
RTC	内蔵クロック、カレンダー機能 32.768kHz水晶接続
リセット	リセットSWを搭載 外部からのリセットも可能(オープンコレクタ)
動作モード	DIP SWで変更可能
外部接続	64PINコネクタ×2 (2.54ピッチ) 50PINコネクタ×1 (2.54ピッチ) H-UDIコネクタ 14PIN RS232アダプタ用コネクタ 電源コネクタ
電源電圧	5V±10% (I/O:3.3V CPUコア:1.8V)
消費電力	MAX 約700mA
使用環境条件	0~70 20~80%RH 結露なし
基板寸法	120×90(mm)

2. 機能説明

2.1 設定

1) メモリの使用 / 未使用の選択

本ボードには各種のメモリが搭載されていますが、使用しないメモリについては未使用にすることが可能です。未使用にした場合はそのメモリの使用空間に別のデバイスを割り当てることが可能です。

フラッシュROMの使用 / 未使用 (CS0 or CS1)

J P 2 ON : フラッシュROMを使用する (出荷時設定)
 OFF : フラッシュROMを使用しない

SRAMの使用 / 未使用 (CS0 or CS1)

J P 5 ON : SRAMを使用する (出荷時設定)
 OFF : SRAMを使用しない

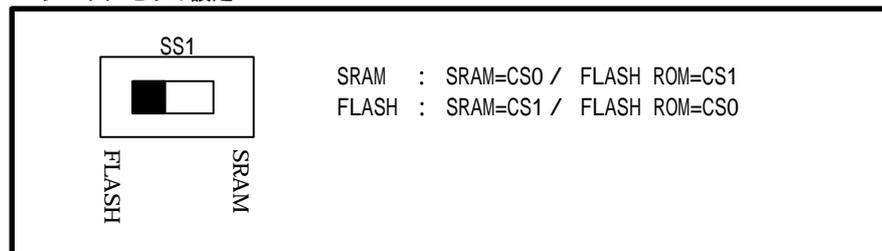
SDRAMの使用 / 未使用 (CS3)

J P 4 ON : SDRAMを使用する (出荷時設定)
 OFF : SDRAMを使用しない

2) ブートメモリの設定

本ボードでは、ブートメモリをフラッシュメモリかSRAMが設定することができます。これはCS0エリアをどちらに割り当てるか切り替えて設定します。この設定を利用して、簡単にJTAGデバッガが使用できます。

ブートメモリの設定



3) RAMサイズの設定

本ボードは標準で1MbitのSRAMが実装されていますが、将来的な拡張のために4MbitのSRAMも実装可能となっています。

本ボードに実装可能なSRAMは以下のものです。

1Mbit品: TC55V1001AF (東芝) 32pin 互換品
 4Mbit品: HM62W8512AF (日立) 32pin 互換品



	JP3
1Mbit	OFF
4Mbit	ON

4) RDY端子の設定

SH7750には低速デバイスとのインターフェースのためにRDY端子が用意されています。

この端子は、チップ内部のプルアップ回路により外付け抵抗なしでプルアップが可能ですが、初期値がプルアップ設定になっておりRDY端子がアクティブHIのため、オープンにしておくでブートプログラムが動作しません。

そのため、本ボードではRDY端子をGNDに接続できるようにJPが用意されています。

RDY端子を使用しない場合には必ずONにしてください。



	JP3
GND 接続	ON
OPEN	OFF

5) モニタLEDの設定

本ボードには、簡単なテスト用にモニタLED（緑）が実装されています。
 ポートはP19を使用していますが、使用しない場合には切り離すことが可能です。

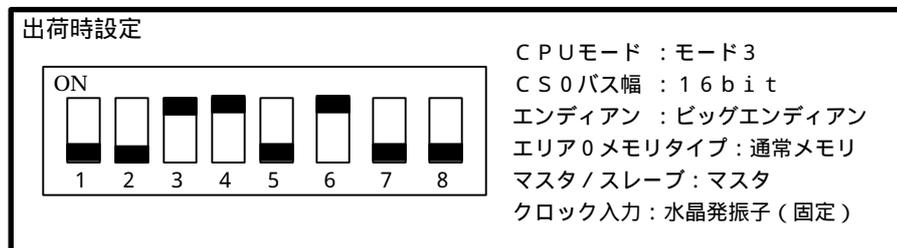


	JP3
使用	ON
未使用	OFF

6) CPU動作モードの設定

SH7750の設定には、クロックモード、CS0のパス幅、バスのエンディアン設定等があります。

<ディップSW1 (S1の設定)>



クロックモードの選択

SH7750には6種類のクロックモードがあります。
 詳細はSH7750のデータブックをご覧ください。

モード	S1			分周期	PLL1 PLL2	*初期クロック周波数		
	1 (MD0)	2 (MD1)	3 (MD2)			CPU	BUS	周辺
モード0	ON	ON	ON	OFF	ON	162M	40.5M	40.5M
モード1	OFF	ON	ON	OFF	ON	162M	27M	27M
モード2	ON	OFF	ON	ON	ON	81M	27M	13.5M
モード3	OFF	OFF	ON	OFF	ON	162M	54M	27M
モード4	ON	ON	OFF	ON	ON	81M	40.5M	20.25M
モード5	OFF	ON	OFF	OFF	ON	162M	81M	40.5M

【注】* 27MHz水晶振動子使用時とします。

エリア0バス幅

エリア0のバス幅を設定します。

CS0バス幅	S 1	
	4 (MD3)	5 (MD4)
64bit	ON	ON
8bit	OFF	ON
16bit	ON	OFF
32bit	OFF	OFF

エンディアンの設定

バスのエンディアンを設定します。

エンディアン	S 1
	6 (MD5)
ビッグエンディアン	ON
リトルエンディアン	OFF

エリア0のメモリタイプの設定

エリア0のメモリタイプを設定します。

メモリタイプ	S 1
	7 (MD6)
MPXバス	ON
通常メモリ	OFF

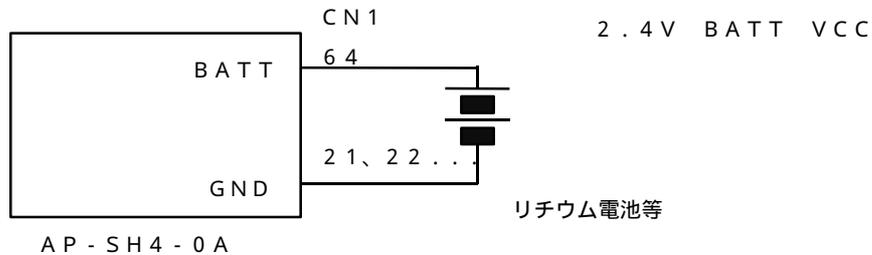
マスタ/スレーブの設定

マスタ/スレーブを設定します。

メモリタイプ	S 1
	8 (MD7)
スレーブ	ON
マスタ	OFF

2.2 メモリバックアップ

本ボード上のRAMは外部にバックアップ電源を接続することによりバックアップ可能です。
 BATT端子(CN1 64P)にバックアップ電源を接続してください。
 なお、ニッカド電池等の2次電池を使用される場合には、別途充電回路が必要となります。



2.3 リセット

1) 電源投入時及び電圧降下時のリセット動作

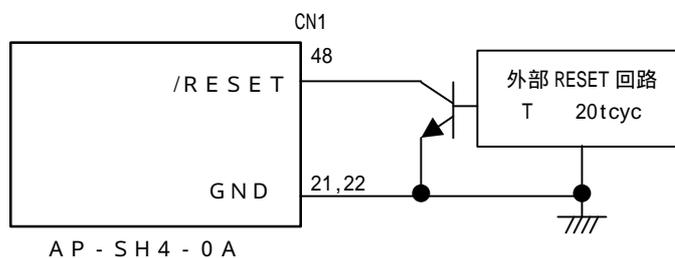
5V供給時に約4.2V(VCC電圧約2.9V)でシステムリセットされます。
 RESETは専用IC(PST5921M(ミツミ製))により、100ms間のLOWパルスが出力されます。
 CPUはパワーオンリセット例外処理を開始します。

2) リセットSWによるリセット動作

リセットSWを押すことにより強制的にシステムリセットされます。こちらも専用ICにより、100ms間のLOWパルスが出力されます。CPUは、パワーオンリセット例外処理を開始します。

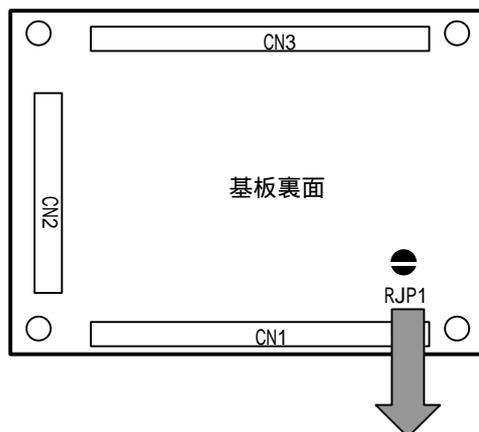
3) 外部からの制御によるリセット

/RESET端子(CN1 48P)へ外部回路を接続することにより、外部からのリセット動作が可能となります。
 (パワーオンリセット) RESET信号はオープンコレクタ出力なのでワイアードOR接続が可能です。
 この場合は、外部のRESET回路により、安定時間分のRESETパルスを保持する必要があります。



2.4 外部から3.3Vを供給する場合

本ボードの電源コネクタよりDC 5Vを供給して動作しますが、外部回路で3.3Vの電源が用意されている場合には、CN1, 2, 3より、3.3Vを直接供給して動作させることができます。



RJP1を短絡	:	ボード上のレギュレータから3.3Vを供給する(出荷時設定)
RJP1を短絡しない	:	CN1, 2, 3より3.3Vを供給する

注意 RJP1を短絡した状態で、絶対に外部から3.3Vを印加しないでください。

RJP1を短絡しないことにより、ボード上の3.3Vレギュレータの出力と、3.3V電源ラインは切り離され、CN1, 2, 3よりDC 3.3Vを供給することができます。

なお、RJP1はハンダジャンパとなっておりますので、短絡するには十分な量でハンダ付けをしてください。回路の構成については、添付の回路図をご覧ください。

2.5 端子配列

本ボードは外部拡張に必要な信号をCN1、CN2、CN3にすべて引き出してあります。

以下に各コネクタの端子配列を示します。

CN1 端子配列

1	+5V	+5V	2
3	D15	D14	4
5	D13	D12	6
7	D11	D10	8
9	D9	D8	10
11	VCC	VCC	12
13	D0	D1	14
15	D2	D3	16
17	D4	D5	18
19	D6	D7	20
21	GND	GND	22
23	A0	A1	24
25	A2	A3	26
27	A4	A5	28
29	A6	A7	30
31	A8	A9	32
33	A10	A11	34
35	A12	A13	36
37	A14	A15	38
39	GND	GND	40
41	NMI	*RD	42
43	*WE0	*WE1	44
45	*CS4	*CS5	46
47	*CS6	*RESET	48
49	A19	A18	50
51	A17	A16	52
53	IRL0	IRL1	54
55	IRL2	IRL3	56
57	DREQ0	DRAK0	58
59	DACK0	DREQ1	60
61	DRAK1	DACK1	62
63	GND	BATT	64

CN2 端子配列

1	D31	D30	2
3	D29	D28	4
5	D27	D26	6
7	D25	D24	8
9	VCC	VCC	10
11	D23	D22	12
13	D21	D20	14
15	D19	D18	16
17	D17	D16	18
19	GND	GND	20
21	*RAS	RDWR	22
23	*WE2	*WE3	24
25	-	-	26
27	*WE4	*WE5	28
29	*WE6	*WE7	30
31	A25	A24	32
33	A23	A22	34
35	A21	A20	36
37	GND	GND	38
39	CKIO	CKE	40
41	RDY	*RAS2	42
43	*BACK	*BREQ	44
45	*BS	-	46
47	*CS0	*CS1	48
49	*CS2	*CS3	50

CN3 端子配列

1	+5V	+5V	2
3	RXD	SCK2	4
5	CTS2	SCK	6
7	TXD2	TXD20	8
9	RXD2	RXD2I	10
11	TXD	TXD0	12
13	RTS2	GND	14
15	CE2A	CE2B	16
17	IOIS	IOISI	18
19	VCC	VCC	20
21	D63	D62	22
23	D61	D60	24
25	D59	D58	26
27	D57	D56	28
29	GND	GND	30
31	D55	D54	32
33	D53	D52	34
35	D51/P19	D50/P18	36
37	D49/P17	D48/P16	38
39	GND	GND	40
41	D47/P15	D46/P14	42
43	D45/P13	D44/P12	44
45	D43/P11	D42/P10	46
47	D41/P9	D40/P8	48
49	GND	GND	50
51	D39/P7	D38/P6	52
53	D37/P5	D36/P4	54
55	D35/P3	D34/P2	56
57	D33/P1	D32/P0	58
59	-	-	60
61	-	TCLK	62
63	STATUS0	STATUS1	64

SH7750の端子の多くは兼用端子となっています。
詳しくは回路図とSH7750データブックをご覧ください。

ユーザ回路を拡張される場合には、データバス、アドレスバス、コントロール信号にはバスバッファを追加し、配線長をできるだけ短くしてください。
特に高速なバスクロックで使用される場合には、反射等により正常に動作しない場合があります。

C N 5 端子配列

1	T C K	8	G N D
2	T R S T	9	G N D
3	T D O	1 0	G N D
4	A S E B R K / B R K A C K	1 1	-
5	T M S	1 2	G N D
6	T D I	1 3	G N D
7	R E S E T	1 4	G N D

C N 6 端子配列

1	+ 5 V
2	+ 5 V
3	G N D
4	G N D

C N 4 端子配列

1	R X D 2 I
2	T X D 2 O
3	R T S 2
4	C T S 2
5	V C C (3 . 3 V)
6	G N D

C N 5 : 使用コネクタ 7 6 1 4 - 6 0 0 2 (住友 3 M)

C N 6 : 使用コネクタ B 4 P - S H F - 1 A A (日圧)
 適合レセプタクル H 4 P - S H F - A A (日圧)

C N 4 : 使用コネクタ B 6 P - S H F - 1 A A (日圧)
 適合レセプタクル H 6 P - S H F - A A (日圧)

C N 4 は S H 7 7 5 0 と直結されており、R S 2 3 2 レベルではありません。

弊社製品 「 P C - R S - 0 4 」、 「 P C - U S B - 0 1 」、 「 P C - L A N - 0 1 」 を接続する事により P C 等との通信が簡単におこなえます。

3 . 技術資料

3 . 1 アドレスマップ

本ボードのCSアサインは以下のようになっています。

メモリ 種別	CSエリア		アクセス サイズ	メモリ サイズ
	フラッシュROMブート	H - UDI 使用時		
FLASH	CS0	CS1	16 bit	1 Mbyte
SDRAM	CS3	CS3	32 bit	16 Mbyte
SRAM	CS1	CS0	16 bit	256 Kbyte

メモリマップ (P 0、U 0 領域)

フラッシュROMブート

H' 00000000	エリア0 (CS 0) フラッシュROM 1 Mbyte
H' 000FFFFF	
H' 00100000	イメージ
H' 03FFFFFF	
H' 04000000	エリア1 (CS 1) SRAM 256 Kbyte
H' 0403FFFF	
H' 04040000	イメージ
H' 07FFFFFF	
H' 08000000	エリア2 (CS 2) ユーザ開放
H' 0BFFFFFF	
H' 0C000000	エリア3 (CS 3) SDRAM 16 Mbyte
H' 0CFFFFFF	
H' 0D000000	イメージ
H' 0FFFFFFF	
H'10000000	エリア4 (CS 4) ユーザ開放
H' 13FFFFFF	
H' 14000000	エリア5 (CS 5) ユーザ開放
H' 17FFFFFF	
H' 18000000	エリア6 (CS 6) ユーザ開放
H' 1BFFFFFF	
H' 1C000000	エリア7 予約領域
H' 1FFFFFFF	

SRAMブート

H' 00000000	エリア0 (CS 0) SRAM 256 KByte
H' 0003FFFF	
H' 00040000	イメージ
H' 03FFFFFF	
H' 04000000	エリア1 (CS 1) フラッシュROM 1 Mbyte
H' 040FFFFF	
H' 04100000	イメージ
H' 07FFFFFF	
H' 08000000	エリア2 (CS 2) ユーザ開放
H' 0BFFFFFF	
H' 0C000000	エリア3 (CS 3) SDRAM 16 Mbyte
H' 0CFFFFFF	
H' 0D000000	イメージ
H' 0FFFFFFF	
H'10000000	エリア4 (CS 4) ユーザ開放
H' 13FFFFFF	
H' 14000000	エリア5 (CS 5) ユーザ開放
H' 17FFFFFF	
H' 18000000	エリア6 (CS 6) ユーザ開放
H' 1BFFFFFF	
H' 1C000000	エリア7 予約領域
H' 1FFFFFFF	

3.2 メモリ設定

SDRAM設定

本ボードに搭載されているSDRAMは、日立製 HM5264165 もしくは HYUNDAI 製 HV57V651620 です。
 DRAMコントローラの設定例を以下に示します。
 添付のサンプルプログラムと合わせてご覧ください。

(バスクロック : 27MHz × 2 = 54MHz)

エリア3メモリタイプ	:	SDRAM
エリア3バス幅	:	32ビット
サイクル間アイドル指定	:	0
メモリデータサイズ	:	32ビット
アドレスマルチプレクス	:	(64M : 1M × 16ビット × 4) × 2
リフレッシュ	:	ON
リフレッシュサイクル	:	4Kcycle / 64msec
リフレッシュ後RASプリチャージ	:	2サイクル
書き込みプリチャージ遅延	:	3サイクル
リフレッシュ後のコマンド間隔	:	4 + TRCサイクル
RAS - CASレイテンシ	:	2
バースト長	:	8
ラップタイプ	:	シーケンシャル

ウェイト設定

本ボード上のメモリアクセスのウェイト数の設定例(参考)を以下に示します。。

メモリ種別		バスクロック周波数 (CKI0)			チップ セレクト
		× 1 (27MHz)	× 2 (54MHz)	× 3 (81MHz)	
FROM	MBM29LV800-90	2 WAIT	6 WAIT	6 WAIT	CS0 (1)
SRAM	TC55V1001-85	2 WAIT	6 WAIT	6 WAIT	CS1 (0)
DRAM	HM5264165-B60	前述参照			CS3

3.3 フラッシュROMのアクセス方法

本ボード上のフラッシュROMは自動プログラムアルゴリズム (Embedded Algorithm) を採用しています。

下記の書き込み / 消去シーケンスを参考にしてください。

なお、書き込み単位はワード単位のみ、消去はセクタもしくはチップ単位となります。

詳細は、ディスク内に収録されているダウンローダプログラム(29fxxx.C)のソースをご覧ください。

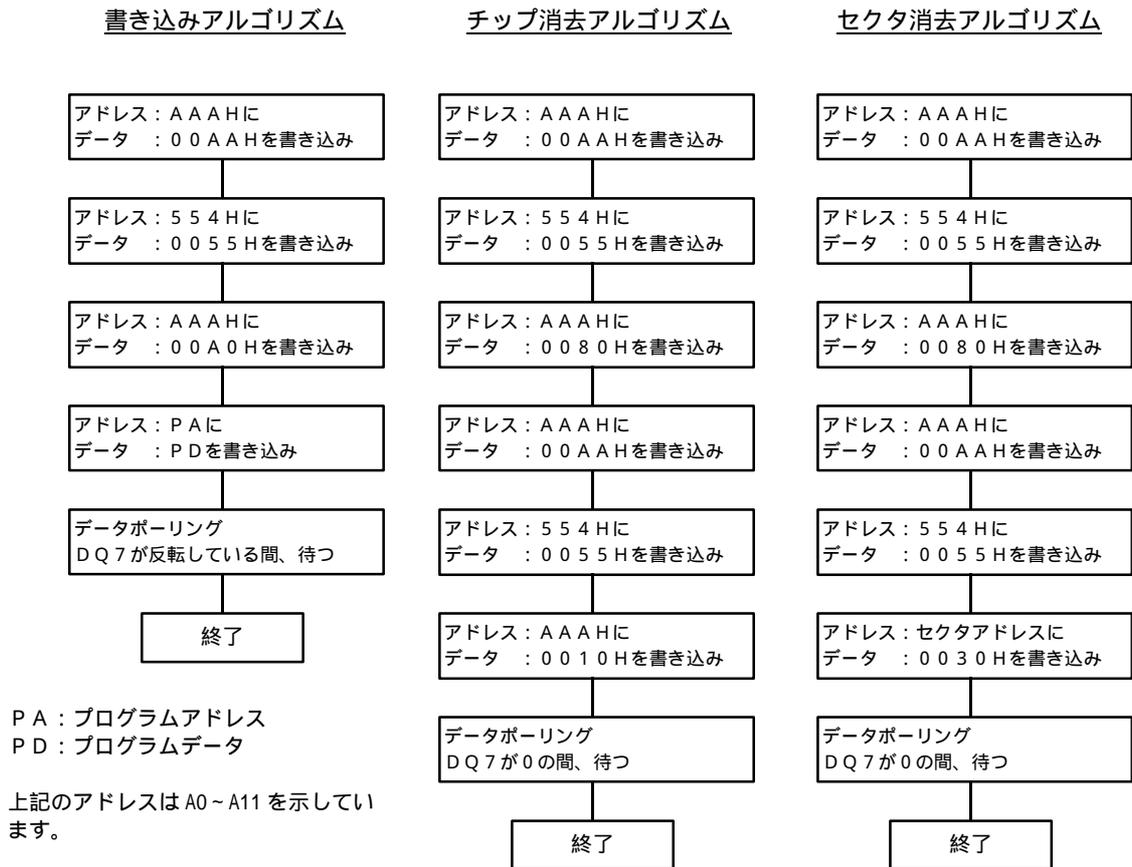


表3-3 フラッシュROMのセクタアドレス(A0~A20)

セクタ	アドレス	サイズ	セクタ	アドレス	サイズ
SA0	00000H-03FFFH	16Kbyte	SA10	70000H-7FFFFH	64Kbyte
SA1	04000H-05FFFH	8Kbyte	SA11	80000H-8FFFFH	64Kbyte
SA2	06000H-07FFFH	8Kbyte	SA12	90000H-9FFFFH	64Kbyte
SA3	08000H-0FFFFH	32Kbyte	SA13	A0000H-AFFFFH	64Kbyte
SA4	10000H-1FFFFH	64Kbyte	SA14	B0000H-BFFFFH	64Kbyte
SA5	20000H-2FFFFH	64Kbyte	SA15	C0000H-CFFFFH	64Kbyte
SA6	30000H-3FFFFH	64Kbyte	SA16	D0000H-DFFFFH	64Kbyte
SA7	40000H-4FFFFH	64Kbyte	SA17	E0000H-EFFFFH	64Kbyte
SA8	50000H-5FFFFH	64Kbyte	SA18	F0000H-FFFFFH	64Kbyte
SA9	60000H-6FFFFH	64Kbyte			

3.4 ダウンローダの使用法

本ボードには、ダウンローダが添付されています。ダウンローダにより以下の機能を実現します。

- フラッシュROMのオンボード書きこみ
- ユーザプログラムの実行

ダウンローダは出荷時にフラッシュROMに書き込まれています。

<ダウンローダのバージョンについて>

SH4DL.EXE Ver2.20 から通信速度がそれまでの 9600bps から 38400bps に変わりました。

以前のバージョンと互換性はありませんが、ボード側のダウンローダを書き換えていただくことで同じ SH4DL.EXE を使用していただけます。変更方法の詳細は、「3.4.4 ダウンローダの更新」を参照してください

3.4.1 ダウンローダのマッピング

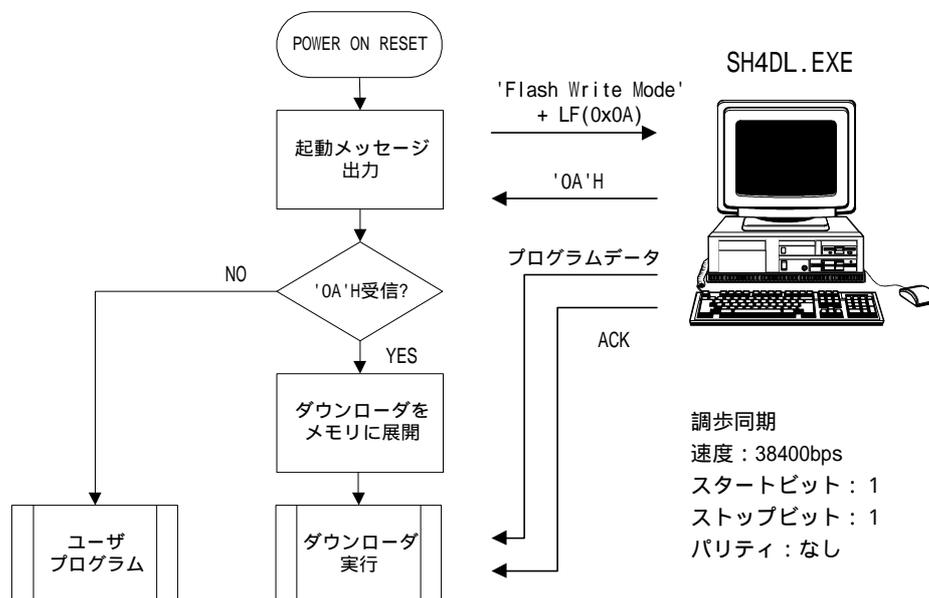
本ボードに添付しているダウンローダとサンプルプログラムのマッピングを以下に示します。

表3-4-1 ダウンローダのマッピング(フラッシュROM)

アドレス	マッピング	セクタ番号
00000 ~ 03FFFH	ダウンローダ	SA0
04000H ~ 0FFFFH	未使用	SA1 ~ SA3
10000H ~ FFFFFH	サンプルプログラム	SA4 ~ SA18

3.4.2 ユーザプログラムの実行シーケンス

ユーザプログラムは以下のシーケンスで実行されます。詳細はプログラムソースをご覧ください。

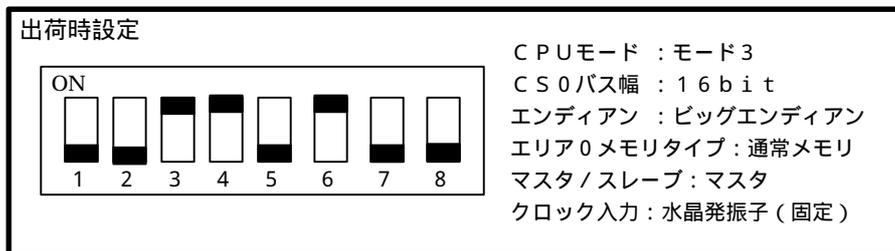


3.4.3 ユーザープログラムのダウンロード手順

ダウンロードは出荷時にはビッグエンディアン用が書き込まれています。
 本ボードをリトルエンディアンで使用される場合には、「3.4.4 ダウンローダの更新」の手順にしたがってあらかじめダウンロードを変更してください。

<ダウンロード手順>

- 1) SS1 スイッチを FLASH 側に設定します。
- 2) CN4 に弊社 RS232 変換アダプタ(PC-RS-04)とホストコンピュータと接続します。
- 3) 付属 FD 内の¥Download¥Pc¥sh4dl.exe を実行し、メニューバーの[ホ-ト]で接続したシリアルポートを選択して下さい。
- 4) CPU ボード(AP-SH4-0A)の電源を投入します。DIP スイッチの設定は以下のようにしてください。
 (リトルエンディアンの場合にはエンディアン設定を変更してください)



- 5) "接続OK"とメッセージが出てダウンロードが起動した事を知らせます。
- 6) メニューバーの[ファイル]-[ダウンロード]でユーザープログラムファイルを指定します。
- 7) ユーザープログラムの転送が実行されます。
- 8) ユーザプログラムの転送が終了後、メニューバーの[ファイル]-[User 書き込み]を選択します。
 転送したプログラムのフラッシュ ROM への書き込みが実行されます。
- 9) 書き込み終了のメッセージが表示されれば、ダウンロード終了です。
- 10) RS232Cケーブルを外して、CPUボードをリセットするとユーザープログラムが実行されます。(注)

注) 前述の「3.4.2 ユーザプログラムの実行シーケンス」をご覧ください。

*動作を確認する場合は、サンプルディスク内のサンプルプログラムをダウンロードしてください。

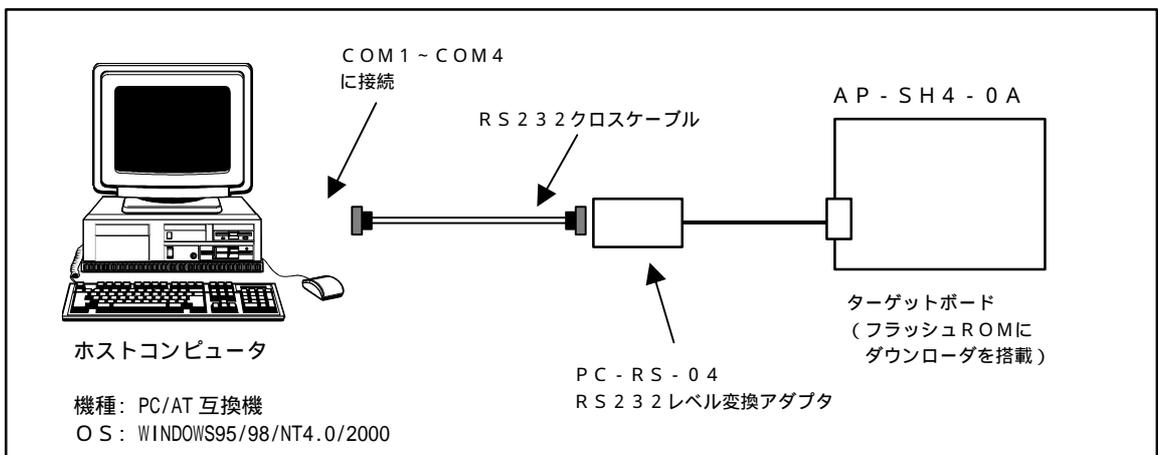


図 3 - 4 - 3 ダウンロード時の接続

< PC - RS - 04 を使用しない場合 >

弊社の RS232 変換アダプタ (PC - RS - 04) を使用しない場合には、以下のように接続してお使いください。

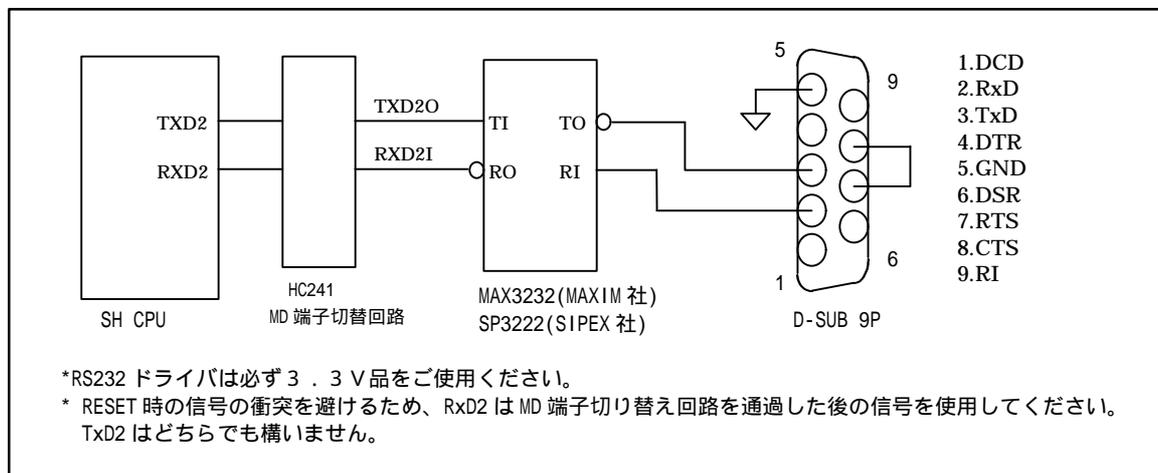


図 3 - 4 - 4 S C I の設計例

sh4dl.exe の Ver2.10 以前を使用されているお客様へ

現在、本ボードに付属のダウンロードと Ver2.10 以前の sh4dl.exe 用のダウンロードでは、通信レートが違うため互換性がありません。

したがって、お手数ですが、AP-SH4-0A 内のダウンロードをどちらかに合わせていただくか、それぞれ別の sh4dl.exe を使用していただく必要がありますので、ご了承ください。

なお、ダウンロードの書き換え方法に関しましては「3.4.4 ダウンロードの更新」を参照してください。

また、sh4dl.exe のバージョンは、sh4de.exe のプロパティのバージョン情報で確認できます。

3.4.4 ダウンローダの更新

本ボードには出荷時にダウンローダが書き込まれていますが、ダウンローダを更新したい場合や、何らかの原因で消去してしまった場合の書き込み方法を説明します。

ダウンローダの更新方法

- 1) ダウンローダの起動手順は、「3.4.3 ユーザープログラムのダウンロード手順」の1)~5)と同じです。
- 2) メニューバーの[ファイル]-[ダウンロード]でダウンローダプログラムファイルを指定します。
 ¥Download¥Target¥From¥sh4dl¥src¥の sh4dl_b.mot (ビッグエンディアン用) もしくは sh4dl_l.mot (リトルエンディアン用) を選択してください。(注)
- 3) ダウンローダプログラムの転送が実行されます
- 4) 現在のダウンローダがビッグエンディアンで、リトルエンディアンのダウンローダに書き変える場合には、SWAP ボタンを ON にします。(リトルからビッグへの書き変えも同様です)(注)
- 5) メニューバーの[ファイル]-[Boot 書き込み]でフラッシュ ROM への書き込みが実行されます。

注) ビッグエンディアンとリトルエンディアンを間違えた場合、ダウンローダが動作しませんので十分注意してください。万が一、間違えた場合には の方法により JTAG デバugga を使用して書き込む必要があります。

ダウンローダを消去してしまった場合の書き込み方法

FlashWriterEX (要 HJ-Link) やフラッシュ ROM 書き込み機能のある H - U D I (J T A G) デバugga をお持ちの場合には、¥Download¥Target¥From¥Image¥の sh40a_dl_b.bin (ビッグエンディアン用) もしくは sh40a_dl_l.bin (リトルエンディアン用) をフラッシュ ROM の先頭アドレスから書き込んでください。

上記の方法で書き込みが行えない場合には、H - U D I デバugga を使用し下記の方法でダウンローダの書き込みを行ってください。

- 1) SS1 スイッチを SRAM 側に設定します。
- 2) デバugga を接続して、「3.4.3 ユーザープログラムのダウンロード手順」の2)~4)と同じ接続作業を行います。
- 3) デバugga で、¥Download¥Target¥Debug¥sh4dl¥src¥以下の sh4dl_b.abs_*1 (ビッグエンディアン用) もしくは sh4dl_l.abs_*1 (リトルエンディアン用) を読み込み、SRAM 上で起動します。 *1 .abs ファイルは Sysrof 形式
- 4) "接続 OK" とメッセージが出てダウンローダが起動した事を知らせます。
- 5) メニューバーの[ファイル]-[ダウンロード]でダウンローダプログラムファイル(¥Download¥Target¥From¥sh4dl¥src 以下の sh4dl_b.mot もしくは sh4dl_l.mot)を指定します。
- 6) ダウンローダプログラムの転送が実行されます。
- 7) メニューバーの[ファイル]-[Boot 書き込み]でフラッシュ ROM への書き込みが実行されます。

弊社ではお客様のアプリケーション開発のサポートの一環として、ダウンローダのプログラムソース (S H 4 用) を公開しております。お客様のアプリケーション開発に、少しでもお役立ていただければ幸いです。

ソースファイルは、¥Download¥Target¥From¥以下 (フラッシュ ROM で動作するもの) と ¥Download¥Target¥Debug¥以下 (SRAM で動作するもの) にあります。

< 注意事項 >

1. 第三者への配布及び譲渡は禁止します。
2. プログラム内容についての質問等のサポートは一切受け付けておりません。
3. 著作権は (株) アルファプロジェクトが保有しますが、お客様が組み込み用途で使用される場合には、自由にご使用いただいて結構です。

3.5 FlashWriterEX を使用したフラッシュメモリの書き込み方法

「FlashWriterEX」、「HJ-LINK」を利用する事により、ダウンローダを使用しないでHUD I インターフェース経由でフラッシュメモリに書き込みが可能です。

*** 「HJ-LINK」と「FlashWriterEX」は本製品には含まれておりません。**

下記のように PC と HJ-LINK と AP-SH4-0A を接続します。AP-SH4-0A の電源は切っておきます。

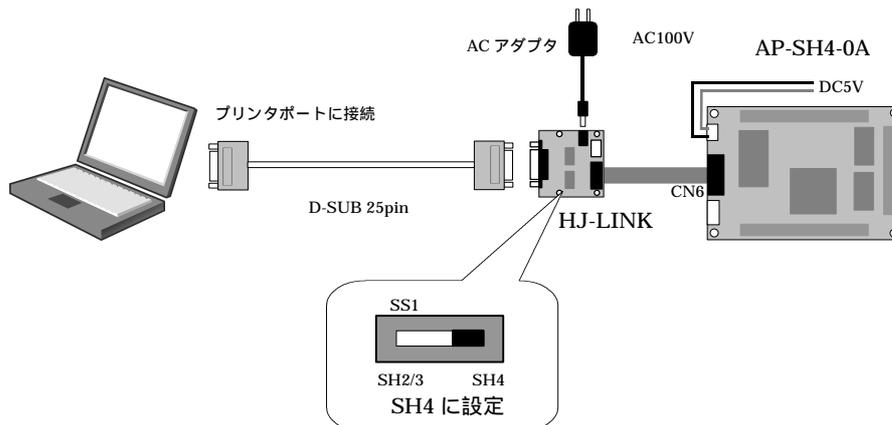


図 3 - 5 - 1 HJ-LINK の接続

FlashWriterEX を起動し、CPU の必要項目を設定し、Auto(AutoTransfer)ボタンをクリックします。Tartget Write ダイアログが表示されますので、Start ボタンをクリックし、AP-SH4-0A の電源を入れると自動的に書き込みが開始されます。

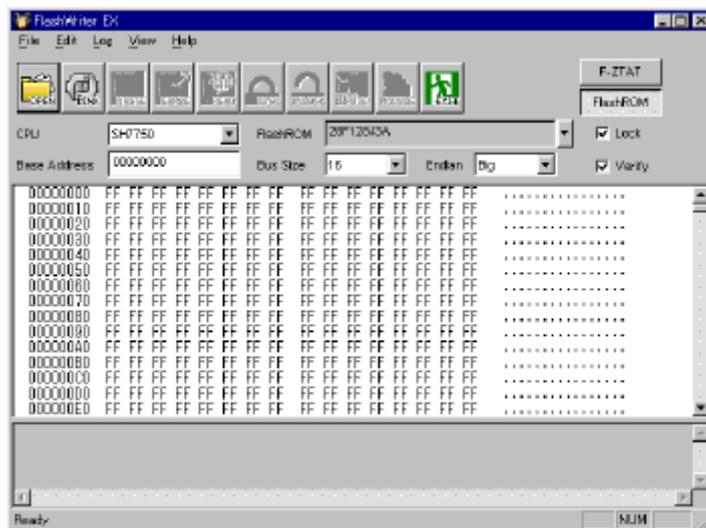
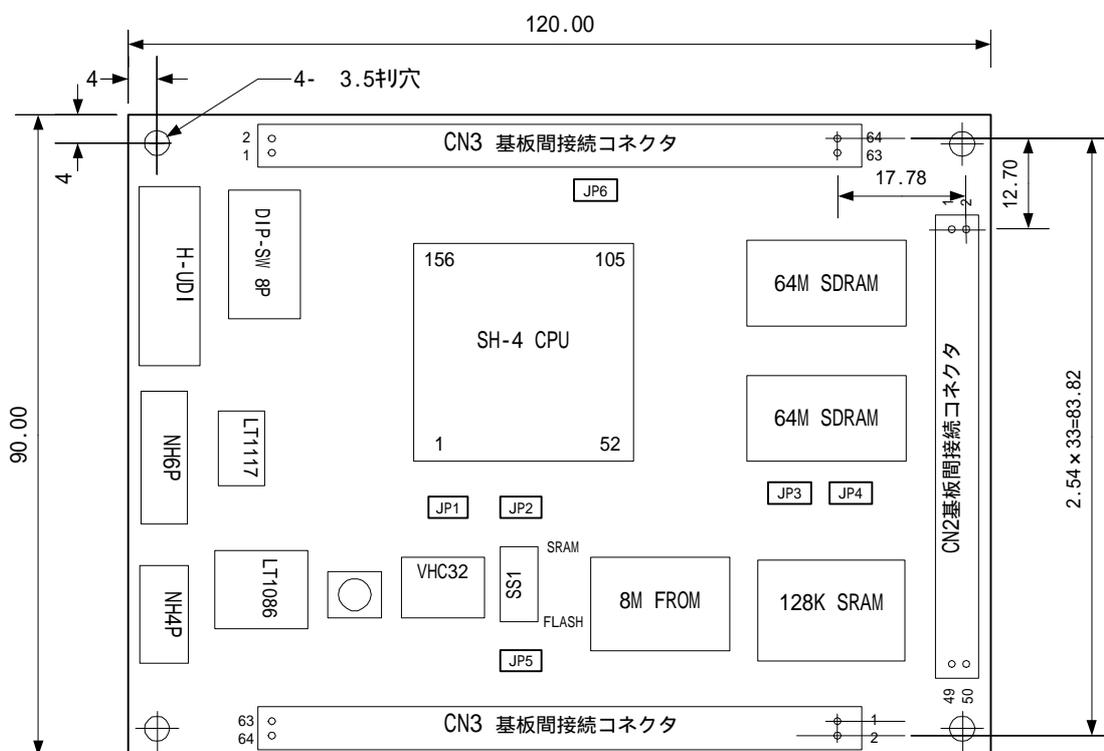


図 3 - 5 - 2 FlashWriterEX の画面

3.6 外形寸法図

図3-6 AP-SH4-0A基板寸法



CN1、CN2、CN3については、全て2.54mmピッチの格子上にスルーホールが配置されています。外部回路を増設されるお客さまは、市販のユニバーサルボードをご使用いただけます。

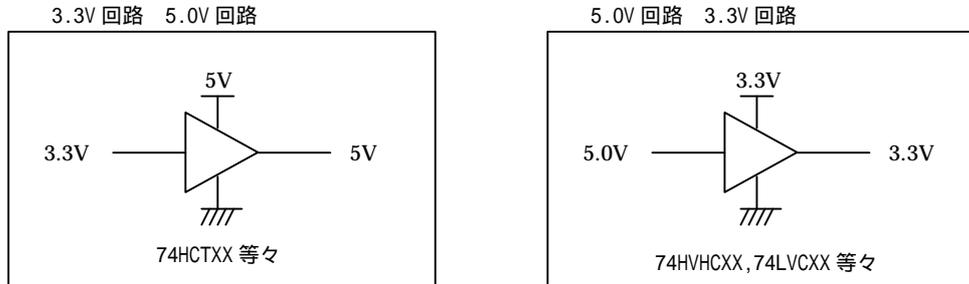
3.7 回路構成

添付回路図を参照

3.8 5V回路インターフェース

SH7750の端子は全て3.3Vインターフェースです。(5V入力は許容されません)

5VCMOSレベル等の回路と接続する場合には、HCTやVHC等の中継してインターフェースをとってください。



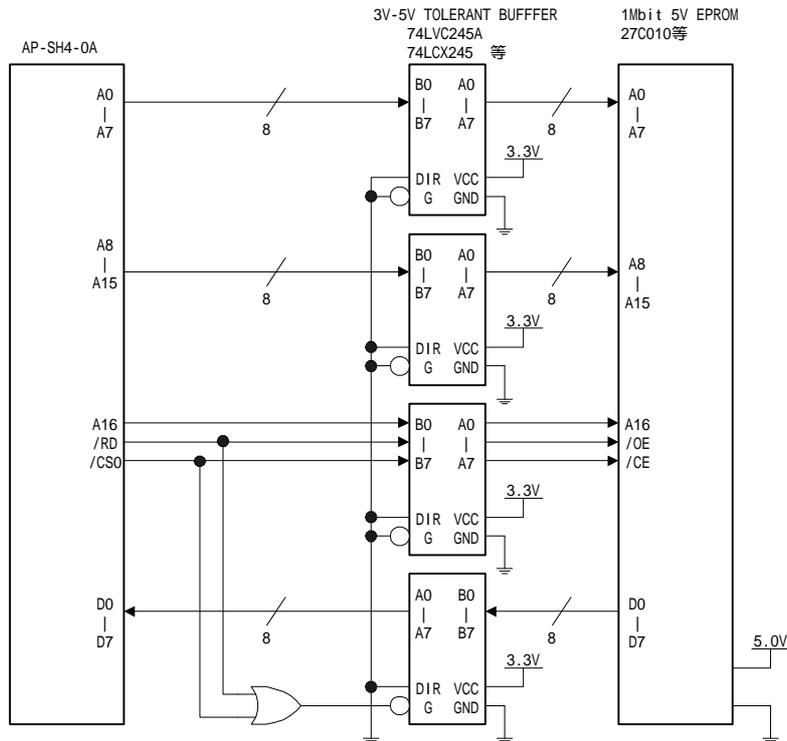
3.9 EPROMの接続方法

本ボードは、JTAGデバッガの使用を前提としているため、EPROMソケットを搭載しておりません。

したがってEPROMを使用する場合には、外付けでメモリを拡張する必要があります。

以下にEPROMを使用する場合の回路構成例を示します。

図3-8 EPROMの接続例



上記の例は、ボード上のフラッシュROMの代わりにCS0にEPROMを接続してブートROMとする場合です。

AP-SH4-0Aの設定は JP2=OFF SS1=FLASH S1-4/5/7/8=OFF/ON/OFF/OFF に設定します。

16bitバス幅のEPROMもほぼ同様な接続で使用できます。

フラッシュROMも同時に使用する場合には、ジャンプ線でボード上のJP2にCS4等を接続してください。

なお、3VのEPROMを使用する場合には、トレラントバッファは必要ありません。

3.10 REV1.0 REV1.1基板の違い

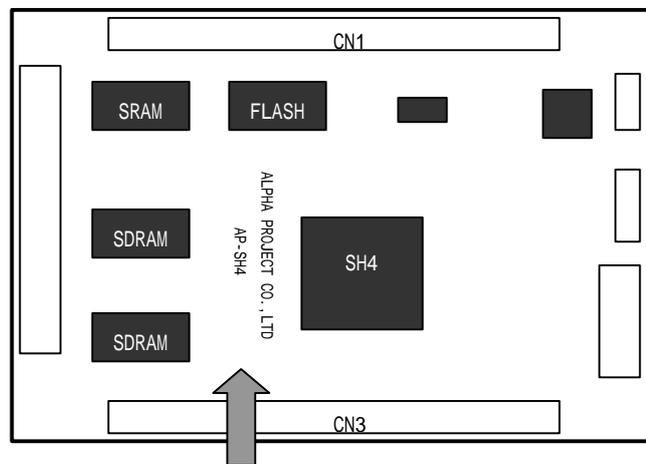
本製品は、2002年2月出荷分よりREV1.1基板に改版されております。

REV1.1は、回路構成が若干変更になっておりますが、各コネクタへの入出力信号は基本的に変更されておりませんので、以前のREV1.0基板をご利用のお客様も、そのまま置き換えが出来ます。

< REV1.0とREV1.1の見分け方 >

REV1.0では、矢印で示した基板上的シルク表示が「AP-SH4-0A」と記載されております。

REV1.1では、矢印で示した基板上的シルク表示が「AP-SH4-0A REV1.1」または「AP-SH4」と記載されております。



REV1.1基板

< REV1.1の変更点 >

項番	変更内容	REV1.0	REV1.1
1	IC2,3 変更	74HC241	74LVC244
2	IC4 変更	74HC00	74LVC00
3	IC10 変更 (周辺回路含む)	S80830ANUP	PST592
4	IC12 変更 (周辺回路含む)	LT1086CM	LT1086CM-3.3
5	IC13 変更 (周辺回路含む)	LT1086CM	LT1117-ADJ(LM1117)
6	SW1 変更	B3F-1100	B3SF-1000
7	CN2 2pin 出力信号	TXD2 接続	TXD20 接続
8	R13 プルアップ変更	VBB 接続	VCC 接続
9	外部 3.3V 供給対応	-	RJP1 追加

詳しくは、添付回路図をご覧ください。

4 . 製品サポートと使用上の注意

4 . 1 弊社ホームページのご利用について

弊社製品へのよくあるご質問及びご要望については、弊社ホームページ上のFAQに掲載しております。掲載内容につきましては随時更新されておりますので、是非ご利用ください。
また、添付プログラム等のバージョンアップについてもホームページ上より提供しております。

弊社ホームページアドレス <http://www.apnet.co.jp>

4 . 2 製品サポートの方法

製品サポートについては、FAXもしくはE-MAILでのみ受け付けております。
お電話でのお問い合わせは受け付けておりませんのでご了承ください。

製品サポート窓口

FAXによるご連絡	053-464-3737
E-MAILによるご連絡	query@apnet.co.jp

4 . 3 製品サポートの範囲

以下の内容に該当するお問い合わせにつきましては、サポートの対象とはなりませんのでご了承ください。

デバイスの使用方法、プログラミング、コンパイラの使用法、ROM化等の技術指導的なご質問
添付サンプルプログラムのコンパイル方法および動作に関する技術的な質問
本製品に拡張するユーザ回路の設計方法やその動作についてのご質問。
本製品に添付された回路図やサンプルプログラム等の技術情報を元に作成された2次作成物についてのご質問
その他、製品の仕様範囲外の質問やお客様の技術によって解決されるべき問題。

デバイスに関するご質問につきましては、日立製作所もしくは代理店までお問い合わせください。

デバイス情報 : 日立半導体グループ

<http://www.hitachisemiconductor.com/sic/jsp/japan/jpn/index.html>

4 . 4 使用上の注意

本製品を改造した場合、一切の保証は適用されません。

本製品を仕様範囲を越える条件において使用された場合については、動作は保証しませんのでご了承ください。

極端な高温下や低温下、または振動の激しい環境での使用はご遠慮ください。

高湿度、油の多い環境でのご使用はご遠慮ください。

腐食性ガス、可燃性ガス等の環境中でのご使用はご遠慮ください。

ノイズの多い環境での動作は保証しかねますのでご了承ください。

宇宙、航空、医療、原子力、運輸、交通、各種安全装置など人命、事故に関わる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。

万が一、本製品を使用して事故または損失が発生した場合、弊社では一切その責を負いませんのでご了承ください。

改版履歴

版数	日付	改定内容
初版	2002/02/01	AP-SH2F-4A REV1.00 より加筆
2 版	2003/02/03	オプション製品に「PC-LAN-01」を追加（1.2 章、2.5 章） REV1.0 REV1.1 基板の違いを修正（3.9 章）
3 版	2003/02/17	ダウンロードの変更にもなう修正（通信速度、ファイル名等）（3.3 章、3.4 章）
4 版	2003/08/28	PC-RS-03 を PC-RS-04 に変更（全体） FlashWriterEX を使用したフラッシュメモリの書き込み方法を追加（3.5 章）
5 版	2005/09/09	ダウンロードを消去してしまった場合の書き込み方法の修正