

高速32ビットRISC CPUボード

アルファボードシリーズ

AP - SH2 - 0A

16ビットバス対応

ハードウェア・マニュアル

第2版 1998 / 9 / 1

第3版 1998 / 12 / 1

ALPHA PROJECT Co., LTD

AP - SH2 - 0A ハ - ドウェア・マニュアル

この度は、アルファボ - ドシリ - ズ 「AP - SH2 - 0A」 をお買いあげ頂きまして誠に有り難うございます。

本製品は、CPUコアにSH - 2を採用したシングルチップマイコンSH7043を搭載した汎用CPUボードです。

本ボ - ドをお役立て頂くために、本マニュアルを十分お読み下さいますようお願いいたします。今後共、弊社製品をご愛顧賜りますよう宜しくお願いいたします。

梱包内容	・ AP - SH2 - 0A ボ - ド	× 1
	・ 電源用ハ - ネス (4 P I N)	× 1
	・ ハ - ドウェアマニュアル	× 1

本製品の内容及び仕様は予告なしに変更されることがありますのでご了承ください。本製品は万全の注意を払って製作されていますが、万一初期不良品であった場合、お買い上げ頂いた販売店へ保証書を添えて御持参ください。

本ボ - ド及び弊社製品についてのお問い合わせは下記の TEL もしくは FAX にてお願いいたします。

なお、CPU 自体の機能等についてのお問い合わせには回答しかねますので、御了承ください。

お問い合わせ先

株式会社 アルファプロジェクト

〒433 - 8122

静岡県浜松市上島4 - 4 - 24

TEL (053) 464 - 2166

FAX (053) 464 - 3737

目次

1. 製品概要

1

1.1	概要	1
1.2	機能及び特徴	1
1.3	仕様	2

2. 機能説明

3

2.1	設定	3
2.2	メモリバックアップ	7
2.3	リセット	7
2.4	端子配列	8
2.5	使用上の注意	10

3. 技術資料

11

3.1	アドレスマップ	11
3.2	ウェイト設定	12
3.3	フラッシュROMのアクセス方法	13
3.4	外形寸法図	16
3.5	回路構成	17

1 . 製品概要

1 . 1 概要

本製品は、CPUコアにSH-2を採用したシングルチップマイコンSH7043を搭載した汎用CPUボードです。

本ボードは外部接続コネクタへ外部拡張に必要な信号をすべて引き出してありますので、各種試作用途及び小ロットの製品への適用など、幅広い対応が可能です。

1 . 2 機能及び特徴

1) 32ビットRISC CPU SH7043 (日立製) を搭載

< SH7043 概要 >

- ・内部32ビット構成
- ・アドレス空間 4Gバイト (アーキテクチャ上)
- ・乗算器内蔵
- ・パイプライン 5段パイプライン
- ・命令キャッシュ 1Kbyte
- ・高速DMAコントローラ 4チャンネル
- ・シリアルインタフェース 2チャンネル
- ・16ビットタイマ 5チャンネル
- ・マルチファンクションタイマパルスユニット
- ・割り込み 外部 9本 内部要因 43本
- ・パラレルポート 入出力: 98本 入力: 8本
- ・大容量内蔵メモリ 4KバイトRAM
- ・最高動作周波数 28MHz (PLL使用時)
- ・低電圧駆動
- ・低消費電力

2) RAM 256K / 1Mバイト搭載、ROM 最大2Mバイト搭載可能 フラッシュROM 1Mバイト搭載

RAMは標準で256Kバイトもしくは1Mバイト (SRAM) 実装済みで、外部にバックアップ用電池を接続することによりバックアップも可能です。

ROMは最大で2Mバイトまで搭載可能です。(最小256Kバイト)

また、単電源書き換え可能なフラッシュROMを1Mbyte搭載しているのでROMプログラムとの組み合わせで、様々なアプリケーションの構築が可能です。

3) 外部拡張が容易

外部接続コネクタ(60PIN×2、20PIN×1)へ拡張に必要な信号線をすべて引き出してありますので、メモリの増設、I/Oの増設等が容易です。

1.3 仕様

A P - S H 2 - 0 A仕様

CPU	SH7043 Aマスク(日立製)
動作周波数	6.144MHz(PLL使用時 最高24.576MHz)
メモリ	RAM 256Kバイトもしくは1Mbyte SRAM実装済み ROM 最大2Mバイト搭載可(最小256Kバイト) フラッシュROM 1Mbyte 実装済み 内蔵メモリ4KバイトRAM メモリは全て外部に増設可能
メモリバックアップ	バックアップ切替対応 外部にリチウム電池等を接続することによりバックアップ可能
シリアルI/F	非同期/同期I/F 2チャンネル
パラレルI/F	入出力:98本 入力:8本
タイマ/カウンタ	16ビットタイマ/カウンタ 5チャンネル
割り込み	割り込みコントロ-ラ内蔵 外部 9本 内部 43本
DMA	DMAコントロ-ラ内蔵 4チャンネル
DRAM	DRAMコントロ-ラ内蔵 外部にDRAMチップを直接接続可能
リセット	リセットSWを搭載
RS232C	シリアルI/Fコネクタに弊社製品 RS232Cアダプタ- (別売)を接続することによりRS232Cによる通信が可能
外部接続	60PINコネクタ×2 (2.54mmピッチ) 20PINコネクタ×1 (2.54mmピッチ)
電源電圧	5V±10%
消費電力	MAX 150mA
使用環境条件	0~50 20~80%RH 結露なし
寸法	100×80 (mm)

2 . 機能説明

2 . 1 設定

1) R A Mの使用 / 未使用の選択

本ボ - ドには標準で256Kバイト(1Mbit品×2)もしくは1Mバイト(4Mbit品×2)のRAMが実装されていますが、外部にメモリを増設することにより、本ボ - ド上のRAMを使用しない場合は未使用にすることが可能です。

R A Mの使用 / 未使用はJ P 1にて設定します。

J P 1	ON	: オンボードRAMを使用する(出荷時設定)
	OFF	: オンボードRAMを使用しない

2) フラッシュR O Mの使用 / 未使用の選択

本ボード上には標準で1Mバイト(8Mbit品)のフラッシュROMが実装されていますが、フラッシュROMを使用しない場合には、未使用にすることが可能です。

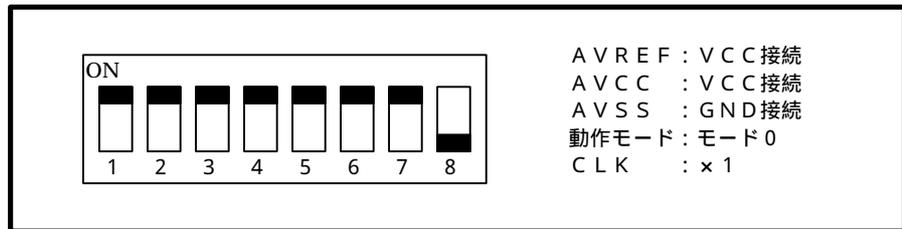
フラッシュROMの使用 / 未使用はJ P 2にて設定します。

J P 2	ON	: フラッシュROMを使用する(出荷時設定)
	OFF	: フラッシュROMを使用しない

3) ディップSWの設定

<ディップSW1 (S1の設定)>

出荷時設定



8ビット目は未使用となっていますので、ユーザ側で必要な信号を接続して適宜、ご使用ください。

アナログ電源の選択

SH7043にはA/D変換器が内蔵されており、アナログ電源は通常のデジタル電源とは別の電源ピンが用意されています。

本ボードではアナログ電源入力を簡易的にデジタル電源に接続することができます。

アナログ電源の選択はS1-1~3で設定します。

S1	ON	OFF
1	AVREFをVCCと接続	未接続
2	AVCCをVCCと接続	未接続
3	AVSSをデジタルGNDと接続	未接続

各端子を未接続に設定した場合には、外部回路にて必ず規格内の電圧を加えてください。

CPU動作モードの選択

SH7043には5種類の動作モードがあります。

CPU動作モードの選択は、S1-4~7で設定します。

動作モード 番号	S1設定				モード名	内蔵 ROM	CS0空間
	7	6	5	4			
モード0	X*1	X*1	ON	ON	MCUモード0	無効	16ビット
モード1	X	X	ON	OFF	MCUモード1	無効	32ビット
モード2	X	X	OFF	ON	MCUモード2	有効	8/16/32ビット*2
モード3	X	X	OFF	OFF	シングルチップモード	有効	-
モード4	OFF	OFF	OFF	OFF	PROMモード	有効	-

*1 MD2、MD3はクロックモードを選択する端子です。

クロックモードの選択を参照してください。

*2 BSCのBCR2で設定

クロックモードの選択

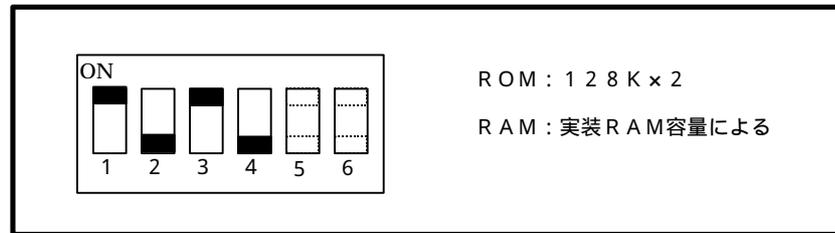
SH7043はクロック通信用PLL回路を内蔵しており、3種類のクロックモードがあります。

クロックモードの選択はS1 - 6 ~ 7で設定します。

S1設定		クロックモード	周波数
7	6		
ON	ON	入力クロック×1	6.144MHz
ON	OFF	入力クロック×2	12.288MHz
OFF	ON	入力クロック×4	24.576MHz
OFF	OFF	リザーブ (PROMモードのみ)	-

<ディップSW2 (S2の設定)>

出荷時設定



ROMサイズの選択

本ボードでは、128Kバイト、256Kバイト、512Kバイト、1MバイトのROMを選択することが可能です。(各2個ずつで使用します)

ROMサイズの選択はS2 - 1 ~ 4で設定します。

ROMサイズ	S2			
	1	2	3	4
128K×2 (1Mbit品)	ON	OFF	ON	OFF
256K×2 (2Mbit品)	ON	OFF	ON	OFF
512K×2 (4Mbit品)	ON	OFF	OFF	ON
1M×2 (8Mbit品)	OFF	ON	OFF	ON

注) 使用するROMサイズと設定は必ず対応させてください。

デバイスが破壊される可能性があります。

<ROMについて>

本ボードに搭載するROMは以下の品、もしくは互換品を使用してください。

128Kバイト	:	27C010 (TI)	32PIN
256Kバイト	:	27C020 (TI)	32PIN
512Kバイト	:	27C040 (TI)	32PIN
1Mバイト	:	27C080 (AMD)	32PIN

RAMサイズの選択

本ボードでは、128Kバイトもしくは512KバイトのRAMを選択することが可能です。
(各2個ずつで使用します)

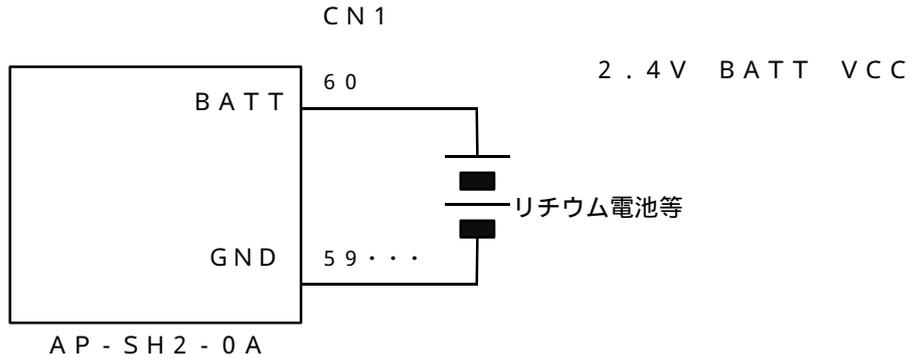
RAMサイズの選択はS2 - 5、6で設定します。

RAMサイズ	S 2	
	5	6
128K×2(1Mbit品)	ON	OFF
512K×2(4Mbit品)	OFF	ON

注) ボード上のRAMサイズと設定は必ず対応させてください。
デバイスが破壊される可能性があります。

2.2 メモリバックアップ

本ボード上のRAMは外部にバックアップ電源を接続することによりバックアップ可能です。
 BATT端子(CN1 60P)にバックアップ電源を接続してください。
 なお、ニッカド電池等の2次電池を使用される場合には、別途充電回路が必要となります。



2.3 リセット

本ボードのリセット動作には以下の3つがあります。

1) 電源投入時及び電圧降下時のリセット動作

約4.5Vでシステムリセットされます。

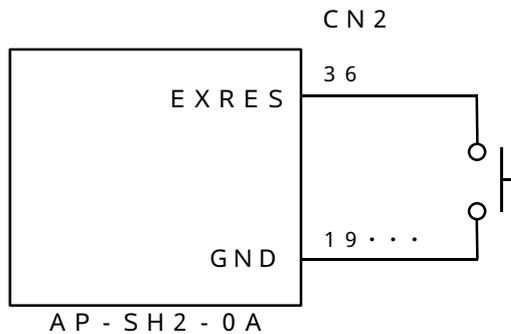
パワーオンリセットとなる為、パワーオンリセット例外処理を開始します。

2) リセットSWによるリセット動作

リセットSWを押すことにより強制的にシステムリセットされます。

3) 外部からの制御によるリセット

EXRES端子(CN2 36P)へ外部回路を接続することにより、外部からのリセット動作が可能となります。



2.4 端子配列

本ボードは外部拡張に必要な信号をCN1、CN2、CN3にすべて引き出しております。
以下に各コネクタの端子配列を示します。

C N 1 端子配列

1	GND	GND	2
3	D15	D14	4
5	D13	D12	6
7	D11	D10	8
9	D9	D8	10
11	VCC	VCC	12
13	D7	D6	14
15	D5	D4	16
17	D3	D2	18
19	D1	D0	20
21	GND	GND	22
23	A15	A14	24
25	A13	A12	26
27	A11	A10	28
29	A9	A8	30
31	A7	A6	32
33	A5	A4	34
35	A3	A2	36
37	A1	A0	38
39	GND	GND	40
41	NMI	RD	42
43	WRH	IRQ0	44
45	IRQ1	CS0	46
47	CS1	CS2	48
49	RESET	CLK	50
51	A16	A17	52
53	A18	A19	54
55	A20	A21	56
57	WAIT	WRL	58
59	GND	BATT	60

C N 2 端子配列

1	PE15/TI0C4D/DACK1/IRQOUT	PE14/TI0C4C/DACK0/AH	2
3	PE13/TI0C4B/MRES	PE12/TI0C4A	4
5	PE11/TI0C3D	PE10/TI0C3C	6
7	PE9/TI0C3B	PE8/TI0C3A	8
9	VCC	VCC	10
11	PE7/TI0C2B	PE6/TI0C2A	12
13	PE5/TI0C1B	PE4/TI0C1A	14
15	PE3/TI0C0D/DRAK1	PE2/TI0C0C/DREQ1	16
17	PE1/TI0C0B/DRAK0	PE0/TI0C0A/DREQ0	18
19	GND	GND	20
21	PB5/IRQ3/POE3/RDWR	PB4/IRQ2/POE2/CASH	22
23	PB3/IRQ1/POE1/CASL	PB2/IRQ0/POE0/RAS	24
25	WDT0VF	GND	26
27	PA21/CASHH	PA20/CASHL	28
29	PA19/BACK/DRAK1	PA18/BREQ/DRAK0	30
31	PA17/WAIT	PA16/AH	32
33	PA9/TCLKD/IRQ3	PA8/TCLKC/IRQ2	34
35	N.C	EXRES	36
37	PA7/TCLKB/CS3	PA6/TCLKA/CS2	38
39	PA5/SCK1/DREQ1/IRQ1	PA4/TXD1	40
41	PA3/RXD1	PA2/SCK0/DREQ0/IRQ0	42
43	PA1/TXD0	PA0/RXD0	44
45	GND	GND	46
47	PF7/AN7	PF6/AN6	48
49	PF5/AN5	PF4/AN4	50
51	PF3/AN3	PF2/AN2	52
53	PF1/AN1	PF0/AN0	54
55	Avref	Avref	56
57	Avcc	Avcc	58
59	Avss	Avss	60

C N 3 端子配列

1	D16	D17	2
3	D18	D19	4
5	D20	D21	6
7	D22	D23	8
9	GND	GND	10
11	D24	D25	12
13	D26	D27	14
15	D28	D29	16
17	D30	D31	18
19	WRHL	WRHH	20

注) SH7043には兼用端子が多数存在するため、複数のコネクタPIN上に接続されている信号がありますので御注意ください。
各信号の機能はSH7043のデータブックをご覧ください。

C N 5 端子配列

1	V C C
2	V C C
3	G N D
4	G N D

C N 4 端子配列

1	R X D 0
2	T X D 0
3	R T S (P E 1 4)
4	C T S (P E 1 5)
5	V C C
6	G N D

< 推奨コネクタ >

C N 1、2 : H I F 3 H - 6 0 D A - 2 . 5 4 D S A (ヒロセ)
 H I F 3 H - 6 0 P B - 2 . 5 4 D S A (ヒロセ)

C N 3 : H I F 3 H - 2 0 D A - 2 . 5 4 D S A (ヒロセ)
 H I F 3 H - 2 0 P B - 2 . 5 4 D S A (ヒロセ)

C N 4 : 使用コネクタ B 6 P - S H F - 1 A A (日圧)
 適合レセプタクル H 6 P - S H F - A A (日圧)

C N 5 : 使用コネクタ B 4 P - S H F - 1 A A (日圧)
 適合レセプタクル H 4 P - S H F - A A (日圧)

C N 4 は S H 7 0 4 3 と直結されており、R S 2 3 2 C レベルではありません。

弊社製品 「 R S 2 3 2 C アダプタ 」 を接続する事により R S 2 3 2 C レベルでの通信が簡単にこなえます。

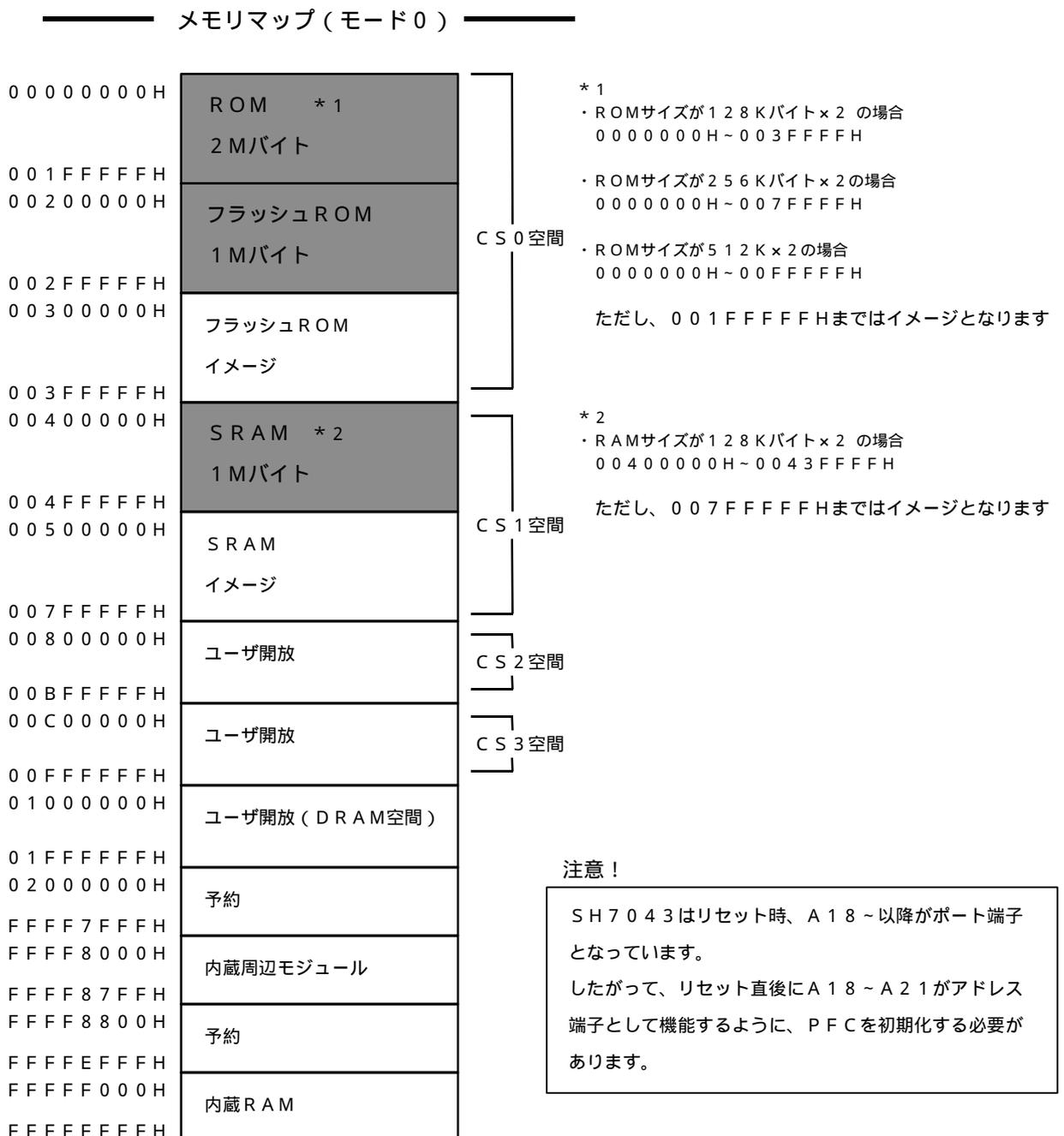
2.5 使用上の注意

- ・本製品を改造されたものについての動作は保証しかねますのでご了承ください。
カスタム品をご希望のお客様は弊社お問い合わせ先へご相談ください。
- ・極端な高温下や低温下、または振動の激しい環境での使用はご遠慮ください。
- ・高湿度、油の多い環境でのご使用はご遠慮ください。
- ・腐食性ガス、可燃性ガス等の環境中でのご使用はご遠慮ください。
- ・ノイズの多い環境での動作は保証しかねますのでご了承ください。

3 . 技術資料

3 . 1 アドレスマップ

本ボードではROM、フラッシュROMがCS0、RAMがCS1にアサインされています。



3.2 ウェイト設定

本ボード上のメモリアクセスのウェイト数は以下の設定を推奨します。

メモリ種別		動作周波数			チップ セレクト
		× 1 (6.144MHz)	× 2 (12.288MHz)	× 4 (24.576MHz)	
フラッシュ	MBM29F800T-90 (富士通)	0 W A I T	1 W A I T	2 W A I T	C S 0
R A M	HM628128-55(日立)	0 W A I T	0 W A I T	1 W A I T	C S 1

C S 0 は使用されるROMのウェイト数にあわせて調整してください。

3.3 フラッシュROMのアクセス方法

本ボード上のフラッシュROMは自動プログラムアルゴリズム (Embedded Algorithm) を採用しています。下記の書き込み/消去シーケンスを参考にしてください。

なお、書き込み単位はワード単位のみ、消去はセクタもしくはチップ単位となります。

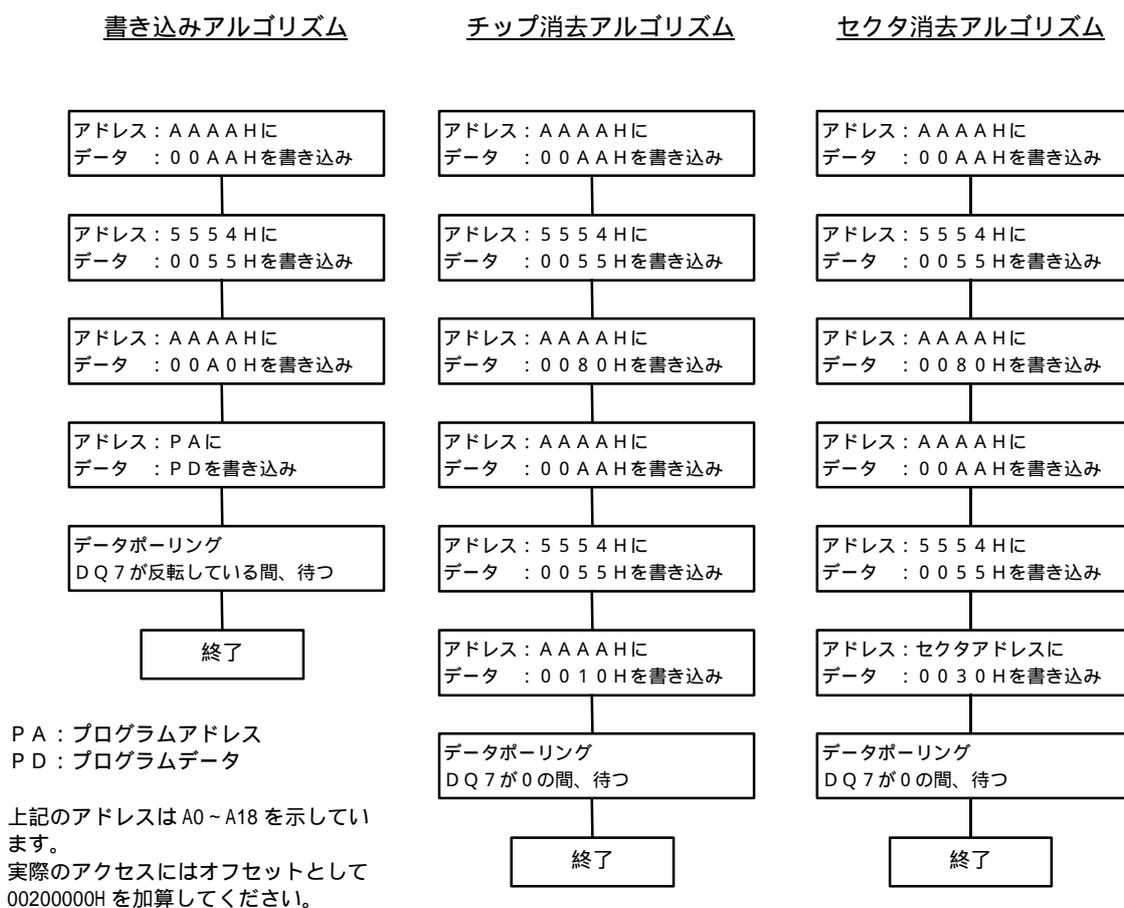


表3-1 フラッシュROMのセクタアドレス (オフセット 00200000H)

セクタ	アドレス	サイズ	セクタ	アドレス	サイズ
SA 0	00000H-0FFFFH	64Kbyte	SA 10	A0000H-AFFFFH	64Kbyte
SA 1	10000H-1FFFFH	64Kbyte	SA 11	B0000H-BFFFFH	64Kbyte
SA 2	20000H-2FFFFH	64Kbyte	SA 12	C0000H-CFFFFH	64Kbyte
SA 3	30000H-3FFFFH	64Kbyte	SA 13	D0000H-DFFFFH	64Kbyte
SA 4	40000H-4FFFFH	64Kbyte	SA 14	E0000H-EFFFFH	64Kbyte
SA 5	50000H-5FFFFH	64Kbyte	SA 15	F0000H-F7FFFH	32Kbyte
SA 6	60000H-6FFFFH	64Kbyte	SA 16	F8000H-F9FFFH	8Kbyte
SA 7	70000H-7FFFFH	64Kbyte	SA 17	FA000H-FBFFFH	8Kbyte
SA 8	80000H-8FFFFH	64Kbyte	SA 18	FC000H-FFFFFH	16Kbyte
SA 9	90000H-9FFFFH	64Kbyte			

```

/*****
      フラッシュ R O M書き込み / 消去サンプルプログラム for exeGCC

                                     ALPHA PROJECT Co., LTD
/*****

#define          F_AD_OF          ((ushort*)0x0200000) /*フラッシュ R O Mオフセット */
#define          F_AD_5           ((ushort*)0x0205554) /*コード書き込みアドレス 1  */
#define          F_AD_A           ((ushort*)0x020aaaa) /*コード書き込みアドレス 2  */
#define          F_AD_A1          ((ushort*)0x028aaaa) /*コード書き込みアドレス 2  */

/* 注)同一アドレスを連続してアクセスするコーディングは、コンパイラで最適化されてしまう為、 */
/*   F_AD_A と F_AD_A1 を定義しています。( F R O Mは A 1 5 以降を無視する為、実際には F_AD_A と */
/*   F_AD_A1 は同義になります) */

/*****
/*   フラッシュ R O M書き込み */
/*   処理内容 : セクタ 0 に 0xaa55 を書き込む(FILL) */
/*****
void      f_rom_wrt()
{
    ushort   *wk_add;
    long      wrt_pos;

    wk_add = F_AD_OF;
    wrt_pos = 0;

    while(1){
        *F_AD_A = 0xaa; /*書き込みアルゴリズム開始*/
        *F_AD_5 = 0x55;
        *F_AD_A = 0xa0;
        *wk_add = 0xaa55;

back1:
        if(*wk_add != 0xaa55) goto back1; /* データポーリング */
        /* 書き込みデータと一致するまで待つ */
        wk_add++; /* アドレス加算*/
        wrt_pos += 2; /* 書き込みデータ数を算出 */
        if(wrt_pos > 0xffff) break; /* 書き込みデータ数をチェック */
    }
}

/*****
/*   フラッシュ R O Mセクタ消去 */
/*   処理内容 : セクタ 0 を消去 */
/*****
void      f_rom_del()
{
    ushort   *wk_add;
    ushort   edata;

    wk_add = F_AD_OF;

    *F_AD_A = 0xaa; /* セクタ消去アルゴリズム開始 */
    *F_AD_5 = 0x55;
    *F_AD_A1 = 0x80;
    *F_AD_A = 0xaa;
    *F_AD_5 = 0x55;
    *wk_add = 0x30; /* セクタ 0 を消去 */

sd_back1:
    edata = *wk_add;
    if(edata != 0xffff) goto sd_back1; /* データポーリング */
    /* 消去されるまで待つ */
}

```

```

/*****/
/*   フラッシュROMチップ消去           */
/*   処理内容 : チップ全体を消去       */
/*****/

void    f_rom_del_all()
{
    ushort    *wk_add;
    ushort    edata;

    *F_AD_A = 0xaa;                /* チップ消去アルゴリズム開始 */
    *F_AD_5 = 0x55;
    *F_AD_A1= 0x80;
    *F_AD_A = 0xaa;
    *F_AD_5 = 0x55;
    *F_AD_A = 0x10;

    wk_add = F_AD_OF;

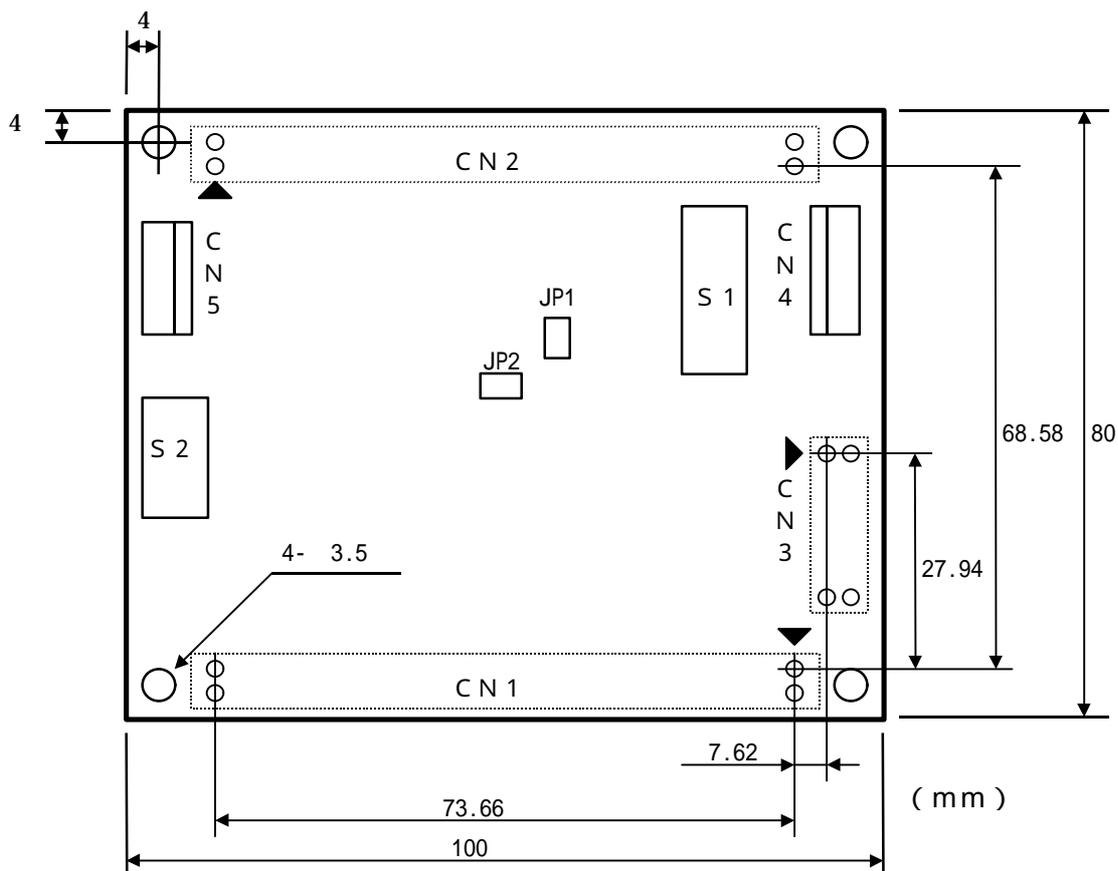
ad_back1:
    edata = *wk_add;                /* データポーリング */
    if((edata & 0x0080)==0) goto ad_back1; /* DQ7が0の間待つ */

}

```

3.4 外形寸法

図3-2 AP - SH2 - 0A基板寸法



CN1、CN2、CN3については、全て2.54mmピッチの格子の上にスルーホールが配置されています。

外部回路を増設されるお客さまは、市販のユニバーサルボードをご使用いただけます。

3.3 回路構成

添付回路図を参照