

μST-AD10 ハードウェアマニュアル 3版 正誤表

1版 2009年2月26日

平素は弊社製品をご利用いただき誠にありがとうございます。

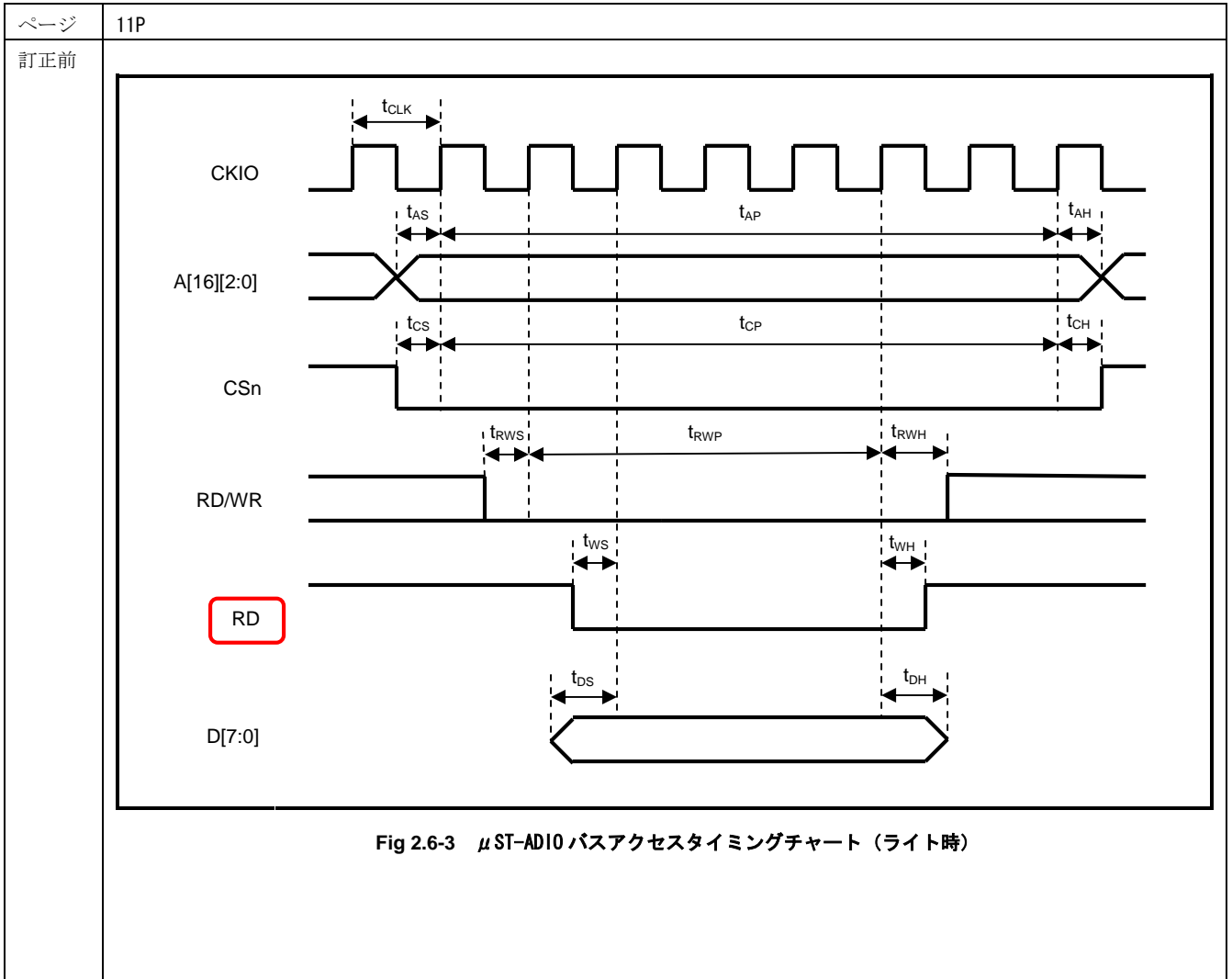
この度、弊社製品 μST-AD10 ハードウェアマニュアルに誤記が見つかりましたので、以下のように訂正させていただきます。
ご迷惑をお掛けしましたこととお詫びしますとともに、訂正事項をご留意の上ご利用ください。

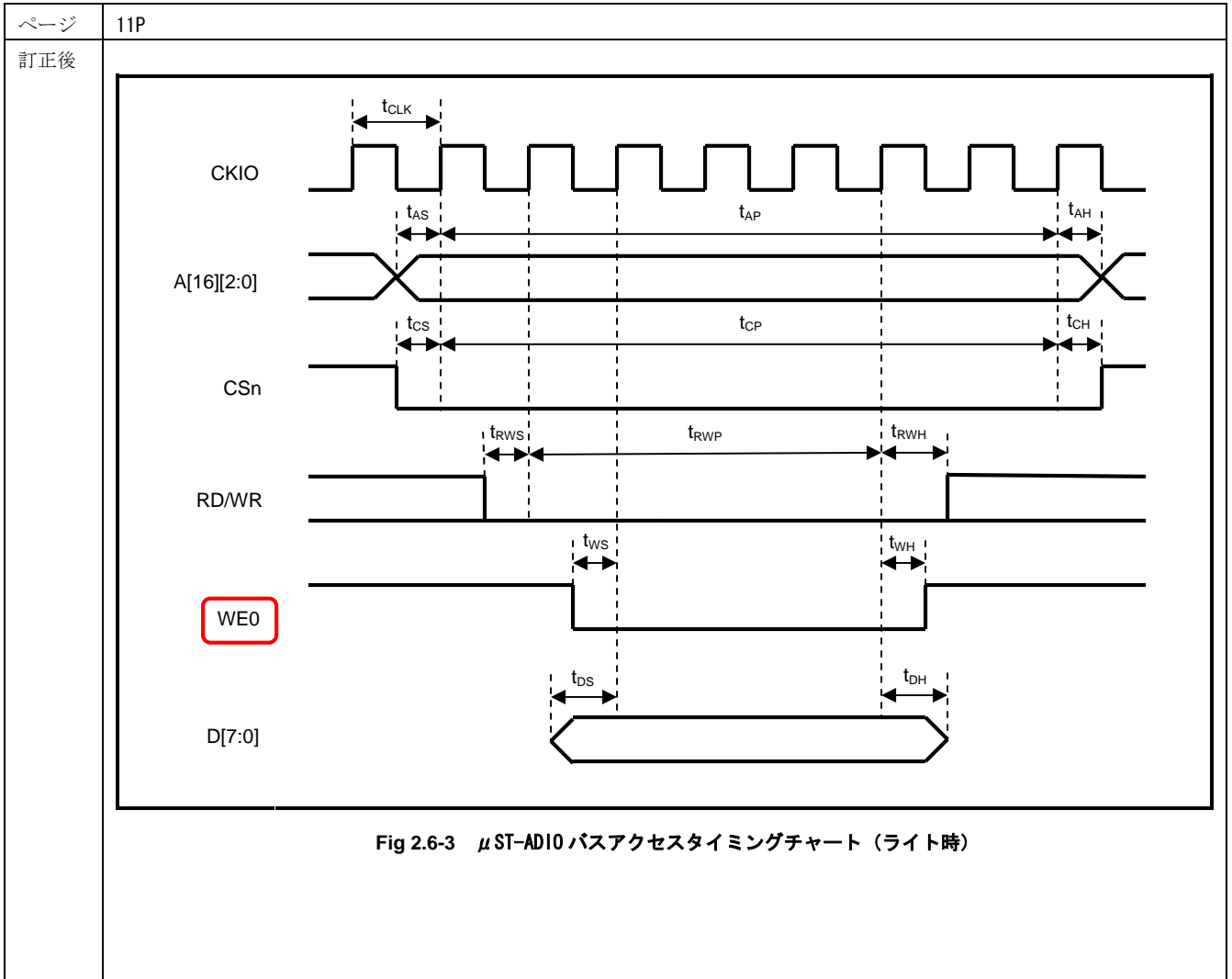
ページ	8P																																
訂正前	<table border="1"> <thead> <tr> <th>アドレス (P0)</th> <th>アドレス (P2)</th> <th>アクセスサイズ</th> <th>レジスタ名</th> </tr> </thead> <tbody> <tr> <td>H' 16000000</td> <td>H' B6000000</td> <td>8bit</td> <td>A/D コンバータレジスタ</td> </tr> <tr> <td>H' 16000001 H' 16000FFF</td> <td>H' B6000001 H' B6000FFF</td> <td>8bit</td> <td>イメージ</td> </tr> <tr> <td>H' 16001000</td> <td>H' B6001000</td> <td>8bit</td> <td>DOUT レジスタ</td> </tr> <tr> <td>H' 16001001</td> <td>H' B6001001</td> <td>8bit</td> <td>DIN レジスタ</td> </tr> <tr> <td>H' 16001002</td> <td>H' B6001002</td> <td>8bit</td> <td>割り込みステータスレジスタ</td> </tr> <tr> <td>H' 16001003</td> <td>H' B6001003</td> <td>8bit</td> <td>割り込みマスクレジスタ</td> </tr> <tr> <td>H' 16001004 H' 17FFFFFFF</td> <td>H' B6001004 H' B7FFFFFFF</td> <td>8bit</td> <td>イメージ</td> </tr> </tbody> </table> <p>※ P0 = P0 領域 (キャッシュ領域) P2 = P2 領域 (ノンキャッシュ領域)</p> <p>Table 2.5-1 CS5B 空間使用時アドレスマップ (GMNCR レジスタ MAP ビット = 0)</p>	アドレス (P0)	アドレス (P2)	アクセスサイズ	レジスタ名	H' 16000000	H' B6000000	8bit	A/D コンバータレジスタ	H' 16000001 H' 16000FFF	H' B6000001 H' B6000FFF	8bit	イメージ	H' 16001000	H' B6001000	8bit	DOUT レジスタ	H' 16001001	H' B6001001	8bit	DIN レジスタ	H' 16001002	H' B6001002	8bit	割り込みステータスレジスタ	H' 16001003	H' B6001003	8bit	割り込みマスクレジスタ	H' 16001004 H' 17FFFFFFF	H' B6001004 H' B7FFFFFFF	8bit	イメージ
アドレス (P0)	アドレス (P2)	アクセスサイズ	レジスタ名																														
H' 16000000	H' B6000000	8bit	A/D コンバータレジスタ																														
H' 16000001 H' 16000FFF	H' B6000001 H' B6000FFF	8bit	イメージ																														
H' 16001000	H' B6001000	8bit	DOUT レジスタ																														
H' 16001001	H' B6001001	8bit	DIN レジスタ																														
H' 16001002	H' B6001002	8bit	割り込みステータスレジスタ																														
H' 16001003	H' B6001003	8bit	割り込みマスクレジスタ																														
H' 16001004 H' 17FFFFFFF	H' B6001004 H' B7FFFFFFF	8bit	イメージ																														
訂正後	<table border="1"> <thead> <tr> <th>アドレス (P0)</th> <th>アドレス (P2)</th> <th>アクセスサイズ</th> <th>レジスタ名</th> </tr> </thead> <tbody> <tr> <td>H' 16000000</td> <td>H' B6000000</td> <td>8bit</td> <td>A/D コンバータレジスタ</td> </tr> <tr> <td>H' 16000001 H' 1600FFFF</td> <td>H' B6000001 H' B600FFFF</td> <td>8bit</td> <td>イメージ</td> </tr> <tr> <td>H' 16010000</td> <td>H' B6010000</td> <td>8bit</td> <td>DOUT レジスタ</td> </tr> <tr> <td>H' 16010001</td> <td>H' B6010001</td> <td>8bit</td> <td>DIN レジスタ</td> </tr> <tr> <td>H' 16010002</td> <td>H' B6010002</td> <td>8bit</td> <td>割り込みステータスレジスタ</td> </tr> <tr> <td>H' 16010003</td> <td>H' B6010003</td> <td>8bit</td> <td>割り込みマスクレジスタ</td> </tr> <tr> <td>H' 16010004 H' 17FFFFFFF</td> <td>H' B6010004 H' B7FFFFFFF</td> <td>8bit</td> <td>イメージ</td> </tr> </tbody> </table> <p>※ P0 = P0 領域 (キャッシュ領域) P2 = P2 領域 (ノンキャッシュ領域)</p> <p>Table 2.5-1 CS5B 空間使用時アドレスマップ (CMNCR レジスタ MAP ビット = 0)</p>	アドレス (P0)	アドレス (P2)	アクセスサイズ	レジスタ名	H' 16000000	H' B6000000	8bit	A/D コンバータレジスタ	H' 16000001 H' 1600FFFF	H' B6000001 H' B600FFFF	8bit	イメージ	H' 16010000	H' B6010000	8bit	DOUT レジスタ	H' 16010001	H' B6010001	8bit	DIN レジスタ	H' 16010002	H' B6010002	8bit	割り込みステータスレジスタ	H' 16010003	H' B6010003	8bit	割り込みマスクレジスタ	H' 16010004 H' 17FFFFFFF	H' B6010004 H' B7FFFFFFF	8bit	イメージ
アドレス (P0)	アドレス (P2)	アクセスサイズ	レジスタ名																														
H' 16000000	H' B6000000	8bit	A/D コンバータレジスタ																														
H' 16000001 H' 1600FFFF	H' B6000001 H' B600FFFF	8bit	イメージ																														
H' 16010000	H' B6010000	8bit	DOUT レジスタ																														
H' 16010001	H' B6010001	8bit	DIN レジスタ																														
H' 16010002	H' B6010002	8bit	割り込みステータスレジスタ																														
H' 16010003	H' B6010003	8bit	割り込みマスクレジスタ																														
H' 16010004 H' 17FFFFFFF	H' B6010004 H' B7FFFFFFF	8bit	イメージ																														

ページ	8P																																
訂正前	<table border="1"> <thead> <tr> <th>アドレス (P0)</th> <th>アドレス (P2)</th> <th>アクセスサイズ</th> <th>レジスタ名</th> </tr> </thead> <tbody> <tr> <td>H' 1A000000</td> <td>H' BA000000</td> <td>8bit</td> <td>A/D コンバータレジスタ</td> </tr> <tr> <td>H' 1A000001 H' 1A000FFF</td> <td>H' BA000001 H' BA000FFF</td> <td>8bit</td> <td>イメージ</td> </tr> <tr> <td>H' 1A001000</td> <td>H' BA001000</td> <td>8bit</td> <td>DOUT レジスタ</td> </tr> <tr> <td>H' 1A001001</td> <td>H' BA001001</td> <td>8bit</td> <td>DIN レジスタ</td> </tr> <tr> <td>H' 1A001002</td> <td>H' BA001002</td> <td>8bit</td> <td>割り込みステータスレジスタ</td> </tr> <tr> <td>H' 1A001003</td> <td>H' BA001003</td> <td>8bit</td> <td>割り込みマスクレジスタ</td> </tr> <tr> <td>H' 1A001004 H' 1BFFFFFF</td> <td>H' BA001004 H' BFFFFFFF</td> <td>8bit</td> <td>イメージ</td> </tr> </tbody> </table> <p>※ P0 = P0 領域 (キャッシュ領域) P2 = P2 領域 (ノンキャッシュ領域)</p> <p>Table 2.5-2 CS6B 空間使用時アドレスマップ (CMNCR レジスタ MAP ビット = 0)</p>	アドレス (P0)	アドレス (P2)	アクセスサイズ	レジスタ名	H' 1A000000	H' BA000000	8bit	A/D コンバータレジスタ	H' 1A000001 H' 1A000FFF	H' BA000001 H' BA000FFF	8bit	イメージ	H' 1A001000	H' BA001000	8bit	DOUT レジスタ	H' 1A001001	H' BA001001	8bit	DIN レジスタ	H' 1A001002	H' BA001002	8bit	割り込みステータスレジスタ	H' 1A001003	H' BA001003	8bit	割り込みマスクレジスタ	H' 1A001004 H' 1BFFFFFF	H' BA001004 H' BFFFFFFF	8bit	イメージ
アドレス (P0)	アドレス (P2)	アクセスサイズ	レジスタ名																														
H' 1A000000	H' BA000000	8bit	A/D コンバータレジスタ																														
H' 1A000001 H' 1A000FFF	H' BA000001 H' BA000FFF	8bit	イメージ																														
H' 1A001000	H' BA001000	8bit	DOUT レジスタ																														
H' 1A001001	H' BA001001	8bit	DIN レジスタ																														
H' 1A001002	H' BA001002	8bit	割り込みステータスレジスタ																														
H' 1A001003	H' BA001003	8bit	割り込みマスクレジスタ																														
H' 1A001004 H' 1BFFFFFF	H' BA001004 H' BFFFFFFF	8bit	イメージ																														
訂正後	<table border="1"> <thead> <tr> <th>アドレス (P0)</th> <th>アドレス (P2)</th> <th>アクセスサイズ</th> <th>レジスタ名</th> </tr> </thead> <tbody> <tr> <td>H' 1A000000</td> <td>H' BA000000</td> <td>8bit</td> <td>A/D コンバータレジスタ</td> </tr> <tr> <td>H' 1A000001 H' 1A00FFFF</td> <td>H' BA000001 H' BA00FFFF</td> <td>8bit</td> <td>イメージ</td> </tr> <tr> <td>H' 1A010000</td> <td>H' BA010000</td> <td>8bit</td> <td>DOUT レジスタ</td> </tr> <tr> <td>H' 1A010001</td> <td>H' BA010001</td> <td>8bit</td> <td>DIN レジスタ</td> </tr> <tr> <td>H' 1A010002</td> <td>H' BA010002</td> <td>8bit</td> <td>割り込みステータスレジスタ</td> </tr> <tr> <td>H' 1A010003</td> <td>H' BA010003</td> <td>8bit</td> <td>割り込みマスクレジスタ</td> </tr> <tr> <td>H' 1A010004 H' 1BFFFFFF</td> <td>H' BA010004 H' BFFFFFFF</td> <td>8bit</td> <td>イメージ</td> </tr> </tbody> </table> <p>※ P0 = P0 領域 (キャッシュ領域) P2 = P2 領域 (ノンキャッシュ領域)</p> <p>Table 2.5-2 CS6B 空間使用時アドレスマップ (CMNCR レジスタ MAP ビット = 0)</p>	アドレス (P0)	アドレス (P2)	アクセスサイズ	レジスタ名	H' 1A000000	H' BA000000	8bit	A/D コンバータレジスタ	H' 1A000001 H' 1A00FFFF	H' BA000001 H' BA00FFFF	8bit	イメージ	H' 1A010000	H' BA010000	8bit	DOUT レジスタ	H' 1A010001	H' BA010001	8bit	DIN レジスタ	H' 1A010002	H' BA010002	8bit	割り込みステータスレジスタ	H' 1A010003	H' BA010003	8bit	割り込みマスクレジスタ	H' 1A010004 H' 1BFFFFFF	H' BA010004 H' BFFFFFFF	8bit	イメージ
アドレス (P0)	アドレス (P2)	アクセスサイズ	レジスタ名																														
H' 1A000000	H' BA000000	8bit	A/D コンバータレジスタ																														
H' 1A000001 H' 1A00FFFF	H' BA000001 H' BA00FFFF	8bit	イメージ																														
H' 1A010000	H' BA010000	8bit	DOUT レジスタ																														
H' 1A010001	H' BA010001	8bit	DIN レジスタ																														
H' 1A010002	H' BA010002	8bit	割り込みステータスレジスタ																														
H' 1A010003	H' BA010003	8bit	割り込みマスクレジスタ																														
H' 1A010004 H' 1BFFFFFF	H' BA010004 H' BFFFFFFF	8bit	イメージ																														

ページ	9P																																
訂正前	<table border="1"> <thead> <tr> <th>アドレス (P0)</th> <th>アドレス (P1)</th> <th>アクセスサイズ</th> <th>レジスタ名</th> </tr> </thead> <tbody> <tr> <td>H' 14000000</td> <td>H' B4000000</td> <td>8bit</td> <td>A/D コンバータレジスタ</td> </tr> <tr> <td>H' 14000001 H' 14000FFF</td> <td>H' 14000001 H' 14000FFF</td> <td>8bit</td> <td>イメージ</td> </tr> <tr> <td>H' 14001000</td> <td>H' B4001000</td> <td>8bit</td> <td>DOUT レジスタ</td> </tr> <tr> <td>H' 14001001</td> <td>H' B4001001</td> <td>8bit</td> <td>DIN レジスタ</td> </tr> <tr> <td>H' 14001002</td> <td>H' B4001002</td> <td>8bit</td> <td>割り込みステータスレジスタ</td> </tr> <tr> <td>H' 14001003</td> <td>H' B4001003</td> <td>8bit</td> <td>割り込みマスクレジスタ</td> </tr> <tr> <td>H' 14001004 H' 17FFFFFFF</td> <td>H' B4001004 H' B7FFFFFFF</td> <td>8bit</td> <td>イメージ</td> </tr> </tbody> </table> <p>※ P0 = P0 領域 (キャッシュ領域) P2 = P2 領域 (ノンキャッシュ領域)</p> <p>Table 2.5-3 CS5 空間使用時アドレスマップ (GMNCR レジスタ MAP ビット = 1)</p>	アドレス (P0)	アドレス (P1)	アクセスサイズ	レジスタ名	H' 14000000	H' B4000000	8bit	A/D コンバータレジスタ	H' 14000001 H' 14000FFF	H' 14000001 H' 14000FFF	8bit	イメージ	H' 14001000	H' B4001000	8bit	DOUT レジスタ	H' 14001001	H' B4001001	8bit	DIN レジスタ	H' 14001002	H' B4001002	8bit	割り込みステータスレジスタ	H' 14001003	H' B4001003	8bit	割り込みマスクレジスタ	H' 14001004 H' 17FFFFFFF	H' B4001004 H' B7FFFFFFF	8bit	イメージ
アドレス (P0)	アドレス (P1)	アクセスサイズ	レジスタ名																														
H' 14000000	H' B4000000	8bit	A/D コンバータレジスタ																														
H' 14000001 H' 14000FFF	H' 14000001 H' 14000FFF	8bit	イメージ																														
H' 14001000	H' B4001000	8bit	DOUT レジスタ																														
H' 14001001	H' B4001001	8bit	DIN レジスタ																														
H' 14001002	H' B4001002	8bit	割り込みステータスレジスタ																														
H' 14001003	H' B4001003	8bit	割り込みマスクレジスタ																														
H' 14001004 H' 17FFFFFFF	H' B4001004 H' B7FFFFFFF	8bit	イメージ																														
訂正後	<table border="1"> <thead> <tr> <th>アドレス (P0)</th> <th>アドレス (P1)</th> <th>アクセスサイズ</th> <th>レジスタ名</th> </tr> </thead> <tbody> <tr> <td>H' 14000000</td> <td>H' B4000000</td> <td>8bit</td> <td>A/D コンバータレジスタ</td> </tr> <tr> <td>H' 14000001 H' 1400FFFF</td> <td>H' 14000001 H' 1400FFFF</td> <td>8bit</td> <td>イメージ</td> </tr> <tr> <td>H' 14010000</td> <td>H' B4010000</td> <td>8bit</td> <td>DOUT レジスタ</td> </tr> <tr> <td>H' 14010001</td> <td>H' B4010001</td> <td>8bit</td> <td>DIN レジスタ</td> </tr> <tr> <td>H' 14010002</td> <td>H' B4010002</td> <td>8bit</td> <td>割り込みステータスレジスタ</td> </tr> <tr> <td>H' 14010003</td> <td>H' B4010003</td> <td>8bit</td> <td>割り込みマスクレジスタ</td> </tr> <tr> <td>H' 14010004 H' 17FFFFFFF</td> <td>H' B4010004 H' B7FFFFFFF</td> <td>8bit</td> <td>イメージ</td> </tr> </tbody> </table> <p>※ P0 = P0 領域 (キャッシュ領域) P2 = P2 領域 (ノンキャッシュ領域)</p> <p>Table 2.5-3 CS5 空間使用時アドレスマップ (GMNCR レジスタ MAP ビット = 1)</p>	アドレス (P0)	アドレス (P1)	アクセスサイズ	レジスタ名	H' 14000000	H' B4000000	8bit	A/D コンバータレジスタ	H' 14000001 H' 1400FFFF	H' 14000001 H' 1400FFFF	8bit	イメージ	H' 14010000	H' B4010000	8bit	DOUT レジスタ	H' 14010001	H' B4010001	8bit	DIN レジスタ	H' 14010002	H' B4010002	8bit	割り込みステータスレジスタ	H' 14010003	H' B4010003	8bit	割り込みマスクレジスタ	H' 14010004 H' 17FFFFFFF	H' B4010004 H' B7FFFFFFF	8bit	イメージ
アドレス (P0)	アドレス (P1)	アクセスサイズ	レジスタ名																														
H' 14000000	H' B4000000	8bit	A/D コンバータレジスタ																														
H' 14000001 H' 1400FFFF	H' 14000001 H' 1400FFFF	8bit	イメージ																														
H' 14010000	H' B4010000	8bit	DOUT レジスタ																														
H' 14010001	H' B4010001	8bit	DIN レジスタ																														
H' 14010002	H' B4010002	8bit	割り込みステータスレジスタ																														
H' 14010003	H' B4010003	8bit	割り込みマスクレジスタ																														
H' 14010004 H' 17FFFFFFF	H' B4010004 H' B7FFFFFFF	8bit	イメージ																														

ページ	9P																																
訂正前	<table border="1"> <thead> <tr> <th>アドレス (P0)</th> <th>アドレス (P2)</th> <th>アクセスサイズ</th> <th>レジスタ名</th> </tr> </thead> <tbody> <tr> <td>H' 18000000</td> <td>H' B8000000</td> <td>8bit</td> <td>A/D コンバータレジスタ</td> </tr> <tr> <td>H' 18000001 H' 1800FFFF</td> <td>H' B8000001 H' B800FFFF</td> <td>8bit</td> <td>イメージ</td> </tr> <tr> <td>H' 18001000</td> <td>H' B8001000</td> <td>8bit</td> <td>DOUT レジスタ</td> </tr> <tr> <td>H' 18001001</td> <td>H' B8001001</td> <td>8bit</td> <td>DIN レジスタ</td> </tr> <tr> <td>H' 18001002</td> <td>H' B8001002</td> <td>8bit</td> <td>割り込みステータスレジスタ</td> </tr> <tr> <td>H' 18001003</td> <td>H' B8001003</td> <td>8bit</td> <td>割り込みマスクレジスタ</td> </tr> <tr> <td>H' 18001004 H' 1BFFFFFF</td> <td>H' B8001004 H' BBFFFFFF</td> <td>8bit</td> <td>イメージ</td> </tr> </tbody> </table> <p>※ P0 = P0 領域 (キャッシュ領域) P2 = P2 領域 (ノンキャッシュ領域)</p> <p>Table 2.5-4 CS6 空間使用時アドレスマップ (CMNCR レジスタ MAP ビット = 1)</p>	アドレス (P0)	アドレス (P2)	アクセスサイズ	レジスタ名	H' 18000000	H' B8000000	8bit	A/D コンバータレジスタ	H' 18000001 H' 1800FFFF	H' B8000001 H' B800FFFF	8bit	イメージ	H' 18001000	H' B8001000	8bit	DOUT レジスタ	H' 18001001	H' B8001001	8bit	DIN レジスタ	H' 18001002	H' B8001002	8bit	割り込みステータスレジスタ	H' 18001003	H' B8001003	8bit	割り込みマスクレジスタ	H' 18001004 H' 1BFFFFFF	H' B8001004 H' BBFFFFFF	8bit	イメージ
アドレス (P0)	アドレス (P2)	アクセスサイズ	レジスタ名																														
H' 18000000	H' B8000000	8bit	A/D コンバータレジスタ																														
H' 18000001 H' 1800FFFF	H' B8000001 H' B800FFFF	8bit	イメージ																														
H' 18001000	H' B8001000	8bit	DOUT レジスタ																														
H' 18001001	H' B8001001	8bit	DIN レジスタ																														
H' 18001002	H' B8001002	8bit	割り込みステータスレジスタ																														
H' 18001003	H' B8001003	8bit	割り込みマスクレジスタ																														
H' 18001004 H' 1BFFFFFF	H' B8001004 H' BBFFFFFF	8bit	イメージ																														
訂正後	<table border="1"> <thead> <tr> <th>アドレス (P0)</th> <th>アドレス (P2)</th> <th>アクセスサイズ</th> <th>レジスタ名</th> </tr> </thead> <tbody> <tr> <td>H' 18000000</td> <td>H' B8000000</td> <td>8bit</td> <td>A/D コンバータレジスタ</td> </tr> <tr> <td>H' 18000001 H' 1800FFFF</td> <td>H' B8000001 H' B800FFFF</td> <td>8bit</td> <td>イメージ</td> </tr> <tr> <td>H' 18010000</td> <td>H' B8010000</td> <td>8bit</td> <td>DOUT レジスタ</td> </tr> <tr> <td>H' 18010001</td> <td>H' B8010001</td> <td>8bit</td> <td>DIN レジスタ</td> </tr> <tr> <td>H' 18010002</td> <td>H' B8010002</td> <td>8bit</td> <td>割り込みステータスレジスタ</td> </tr> <tr> <td>H' 18010003</td> <td>H' B8010003</td> <td>8bit</td> <td>割り込みマスクレジスタ</td> </tr> <tr> <td>H' 18010004 H' 1BFFFFFF</td> <td>H' B8010004 H' BBFFFFFF</td> <td>8bit</td> <td>イメージ</td> </tr> </tbody> </table> <p>※ P0 = P0 領域 (キャッシュ領域) P2 = P2 領域 (ノンキャッシュ領域)</p> <p>Table 2.5-4 CS6 空間使用時アドレスマップ (CMNCR レジスタ MAP ビット = 1)</p>	アドレス (P0)	アドレス (P2)	アクセスサイズ	レジスタ名	H' 18000000	H' B8000000	8bit	A/D コンバータレジスタ	H' 18000001 H' 1800FFFF	H' B8000001 H' B800FFFF	8bit	イメージ	H' 18010000	H' B8010000	8bit	DOUT レジスタ	H' 18010001	H' B8010001	8bit	DIN レジスタ	H' 18010002	H' B8010002	8bit	割り込みステータスレジスタ	H' 18010003	H' B8010003	8bit	割り込みマスクレジスタ	H' 18010004 H' 1BFFFFFF	H' B8010004 H' BBFFFFFF	8bit	イメージ
アドレス (P0)	アドレス (P2)	アクセスサイズ	レジスタ名																														
H' 18000000	H' B8000000	8bit	A/D コンバータレジスタ																														
H' 18000001 H' 1800FFFF	H' B8000001 H' B800FFFF	8bit	イメージ																														
H' 18010000	H' B8010000	8bit	DOUT レジスタ																														
H' 18010001	H' B8010001	8bit	DIN レジスタ																														
H' 18010002	H' B8010002	8bit	割り込みステータスレジスタ																														
H' 18010003	H' B8010003	8bit	割り込みマスクレジスタ																														
H' 18010004 H' 1BFFFFFF	H' B8010004 H' BBFFFFFF	8bit	イメージ																														





ページ	11P																																																																																
訂正前	<table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>最小</th> <th>最大</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td>CKIO パルス幅</td> <td>t_{CLK}</td> <td>16.6</td> <td>-</td> <td>ns</td> </tr> <tr> <td>アドレスセットアップタイム</td> <td>t_{AS}</td> <td>6.5</td> <td>-</td> <td>ns</td> </tr> <tr> <td>アドレスパルス幅</td> <td>t_{AP}</td> <td>7</td> <td>-</td> <td>CLK</td> </tr> <tr> <td>アドレスホールドタイム</td> <td>t_{AH}</td> <td>0</td> <td>-</td> <td>ns</td> </tr> <tr> <td>CS セットアップタイム</td> <td>t_{CS}</td> <td>6.5</td> <td>-</td> <td>ns</td> </tr> <tr> <td>CS パルス幅</td> <td>t_{CP}</td> <td>7</td> <td>-</td> <td>CLK</td> </tr> <tr> <td>CS ホールドタイム</td> <td>t_{CH}</td> <td>0</td> <td>-</td> <td>ns</td> </tr> <tr> <td>RD/WR セットアップタイム</td> <td>t_{RWS}</td> <td>6.5</td> <td>-</td> <td>ns</td> </tr> <tr> <td>RD/WR パルス幅</td> <td>t_{RWP}</td> <td>4</td> <td>-</td> <td>CLK</td> </tr> <tr> <td>RD/WR ホールドタイム</td> <td>t_{RWH}</td> <td>0</td> <td>-</td> <td>ns</td> </tr> <tr> <td>RD セットアップタイム</td> <td>t_{RS}</td> <td>0</td> <td>-</td> <td>ns</td> </tr> <tr> <td>データ出力遅延時間</td> <td>t_{PD}</td> <td>-</td> <td>11</td> <td>ns</td> </tr> <tr> <td>アドレス終了から出力フローティングまでの時間</td> <td>t_{DF}</td> <td>-</td> <td>11</td> <td>ns</td> </tr> <tr> <td>RD 立ち上がりから出力フローティングまでの時間</td> <td>t_{DF}</td> <td>-</td> <td>11</td> <td>ns</td> </tr> <tr> <td>CS 立ち上がりから出力フローティングまでの時間</td> <td>t_{DF}</td> <td>-</td> <td>11</td> <td>ns</td> </tr> </tbody> </table> <p style="text-align: center;">Table 2.6-4 μST-AD10 バスアクセスタイミング (ライト時)</p>	項目	記号	最小	最大	単位	CKIO パルス幅	t_{CLK}	16.6	-	ns	アドレスセットアップタイム	t_{AS}	6.5	-	ns	アドレスパルス幅	t_{AP}	7	-	CLK	アドレスホールドタイム	t_{AH}	0	-	ns	CS セットアップタイム	t_{CS}	6.5	-	ns	CS パルス幅	t_{CP}	7	-	CLK	CS ホールドタイム	t_{CH}	0	-	ns	RD/WR セットアップタイム	t_{RWS}	6.5	-	ns	RD/WR パルス幅	t_{RWP}	4	-	CLK	RD/WR ホールドタイム	t_{RWH}	0	-	ns	RD セットアップタイム	t_{RS}	0	-	ns	データ出力遅延時間	t_{PD}	-	11	ns	アドレス終了から出力フローティングまでの時間	t_{DF}	-	11	ns	RD 立ち上がりから出力フローティングまでの時間	t_{DF}	-	11	ns	CS 立ち上がりから出力フローティングまでの時間	t_{DF}	-	11	ns
項目	記号	最小	最大	単位																																																																													
CKIO パルス幅	t_{CLK}	16.6	-	ns																																																																													
アドレスセットアップタイム	t_{AS}	6.5	-	ns																																																																													
アドレスパルス幅	t_{AP}	7	-	CLK																																																																													
アドレスホールドタイム	t_{AH}	0	-	ns																																																																													
CS セットアップタイム	t_{CS}	6.5	-	ns																																																																													
CS パルス幅	t_{CP}	7	-	CLK																																																																													
CS ホールドタイム	t_{CH}	0	-	ns																																																																													
RD/WR セットアップタイム	t_{RWS}	6.5	-	ns																																																																													
RD/WR パルス幅	t_{RWP}	4	-	CLK																																																																													
RD/WR ホールドタイム	t_{RWH}	0	-	ns																																																																													
RD セットアップタイム	t_{RS}	0	-	ns																																																																													
データ出力遅延時間	t_{PD}	-	11	ns																																																																													
アドレス終了から出力フローティングまでの時間	t_{DF}	-	11	ns																																																																													
RD 立ち上がりから出力フローティングまでの時間	t_{DF}	-	11	ns																																																																													
CS 立ち上がりから出力フローティングまでの時間	t_{DF}	-	11	ns																																																																													
訂正後	<table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>最小</th> <th>最大</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td>CKIO パルス幅</td> <td>t_{CLK}</td> <td>16.6</td> <td>-</td> <td>ns</td> </tr> <tr> <td>アドレスセットアップタイム</td> <td>t_{AS}</td> <td>6.5</td> <td>-</td> <td>ns</td> </tr> <tr> <td>アドレスパルス幅</td> <td>t_{AP}</td> <td>7</td> <td>-</td> <td>CLK</td> </tr> <tr> <td>アドレスホールドタイム</td> <td>t_{AH}</td> <td>0</td> <td>-</td> <td>ns</td> </tr> <tr> <td>CS セットアップタイム</td> <td>t_{CS}</td> <td>6.5</td> <td>-</td> <td>ns</td> </tr> <tr> <td>CS パルス幅</td> <td>t_{CP}</td> <td>7</td> <td>-</td> <td>CLK</td> </tr> <tr> <td>CS ホールドタイム</td> <td>t_{CH}</td> <td>0</td> <td>-</td> <td>ns</td> </tr> <tr> <td>RD/WR セットアップタイム</td> <td>t_{RWS}</td> <td>6.5</td> <td>-</td> <td>ns</td> </tr> <tr> <td>RD/WR パルス幅</td> <td>t_{RWP}</td> <td>4</td> <td>-</td> <td>CLK</td> </tr> <tr> <td>RD/WR ホールドタイム</td> <td>t_{RWH}</td> <td>0</td> <td>-</td> <td>ns</td> </tr> <tr> <td>WR セットアップタイム</td> <td>t_{WS}</td> <td>6.5</td> <td>-</td> <td>ns</td> </tr> <tr> <td>WR セットアップタイム</td> <td>t_{WH}</td> <td>0</td> <td>-</td> <td>ns</td> </tr> <tr> <td>データセットアップタイム</td> <td>t_{DS}</td> <td>6.5</td> <td>-</td> <td>ns</td> </tr> <tr> <td>データホールドタイム</td> <td>t_{DH}</td> <td>0</td> <td>-</td> <td>ns</td> </tr> </tbody> </table> <p style="text-align: center;">Table 2.6-4 μST-AD10 バスアクセスタイミング (ライト時)</p>	項目	記号	最小	最大	単位	CKIO パルス幅	t_{CLK}	16.6	-	ns	アドレスセットアップタイム	t_{AS}	6.5	-	ns	アドレスパルス幅	t_{AP}	7	-	CLK	アドレスホールドタイム	t_{AH}	0	-	ns	CS セットアップタイム	t_{CS}	6.5	-	ns	CS パルス幅	t_{CP}	7	-	CLK	CS ホールドタイム	t_{CH}	0	-	ns	RD/WR セットアップタイム	t_{RWS}	6.5	-	ns	RD/WR パルス幅	t_{RWP}	4	-	CLK	RD/WR ホールドタイム	t_{RWH}	0	-	ns	WR セットアップタイム	t_{WS}	6.5	-	ns	WR セットアップタイム	t_{WH}	0	-	ns	データセットアップタイム	t_{DS}	6.5	-	ns	データホールドタイム	t_{DH}	0	-	ns					
項目	記号	最小	最大	単位																																																																													
CKIO パルス幅	t_{CLK}	16.6	-	ns																																																																													
アドレスセットアップタイム	t_{AS}	6.5	-	ns																																																																													
アドレスパルス幅	t_{AP}	7	-	CLK																																																																													
アドレスホールドタイム	t_{AH}	0	-	ns																																																																													
CS セットアップタイム	t_{CS}	6.5	-	ns																																																																													
CS パルス幅	t_{CP}	7	-	CLK																																																																													
CS ホールドタイム	t_{CH}	0	-	ns																																																																													
RD/WR セットアップタイム	t_{RWS}	6.5	-	ns																																																																													
RD/WR パルス幅	t_{RWP}	4	-	CLK																																																																													
RD/WR ホールドタイム	t_{RWH}	0	-	ns																																																																													
WR セットアップタイム	t_{WS}	6.5	-	ns																																																																													
WR セットアップタイム	t_{WH}	0	-	ns																																																																													
データセットアップタイム	t_{DS}	6.5	-	ns																																																																													
データホールドタイム	t_{DH}	0	-	ns																																																																													

著作権について

- ・本文書の著作権は（株）アルファプロジェクトが保有します。
- ・本文書の内容を無断で転載することは一切禁止します。
- ・本文書の内容は、将来予告なしに変更されることがあります。
- ・本文書の内容については、万全を期して作成いたしましたが、万一ご不審な点、誤りなどお気付きの点がありましたら弊社までご連絡下さい。
- ・本文書の内容に基づき、アプリケーションを運用した結果、万一損害が発生しても、弊社では一切責任を負いませんのでご了承下さい。

商標について

- ・その他の会社名、製品名は、各社の登録商標または商標です。



株式会社アルファプロジェクト
〒431-3114
静岡県浜松市東区積志町 834
<http://www.apnet.co.jp>
E-MAIL : query@apnet.co.jp