

# SA-Cy500S (Cyclone<sup>®</sup> V SoC BOARD)

## サンプル HDL プログラム解説

第 3.1 版 2023 年 10 月 02 日

### 1. 概要

#### 1. 1 概要

本アプリケーションノートでは、SA-Cy500S に付属するのサンプル HDL プログラムについて解説します。  
SA-Cy500S には以下のサンプルプログラムが付属しています。

サンプルプログラム	動作内容
SA-Cy500S サンプルプログラム	<ul style="list-style-type: none"><li>・ LED 制御</li><li>・ I/O 制御</li><li>・ LCD 制御</li></ul>

#### 1. 2 開発環境

本サンプル HDL プログラムは、FPGA/CPLD 開発ソフトウェア・インテル<sup>®</sup>Quartus<sup>®</sup> Prime およびシステム統合ツール Platform Designer を用いて開発されています。以下にサンプル HDL プログラムに対応する開発環境を示します。

開発環境	バージョン
インテル <sup>®</sup> Quartus <sup>®</sup> Prime ライト・エディション	18.0
Platform Designer	18.0

※Quartus<sup>®</sup> Prime<sup>®</sup> ライト・エディションおよび Platform Designer は、インテルのウェブサイトからダウンロードすることができます。

## 2. サンプルプログラムの構成

サンプル HDL プログラムは下記のようなフォルダ構成になっています。

```
¥Sa_Cy500S_V2_0_sample
└─ ¥sa_cy500s_V2_0_sample
```

SA-Cy500S サンプル HDL プログラム プロジェクト式  
(top レベルの HDL ファイルは、" Sa\_Cy500S\_sample.v" )

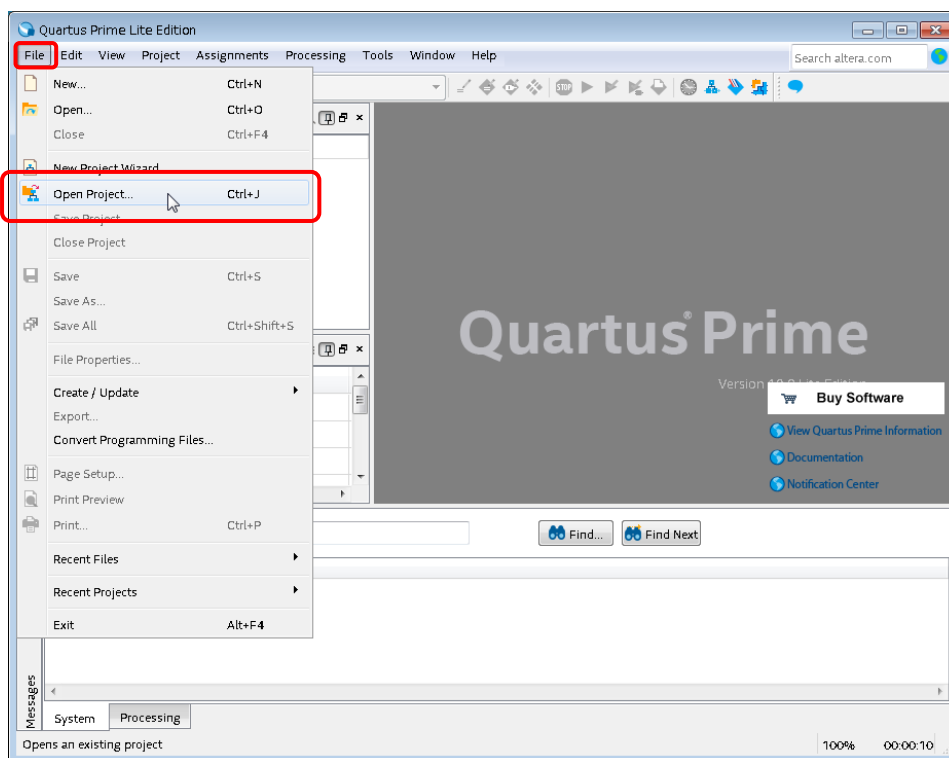
## 3. プロジェクトファイルのコンパイル方法

公開されているサンプル HDL プログラムは、コンパイルを行うことで sof ファイルや rbf ファイルのプログラミングファイルの出力を行うことができます。

以下にサンプル HDL プログラムのコンパイル方法を記載します。

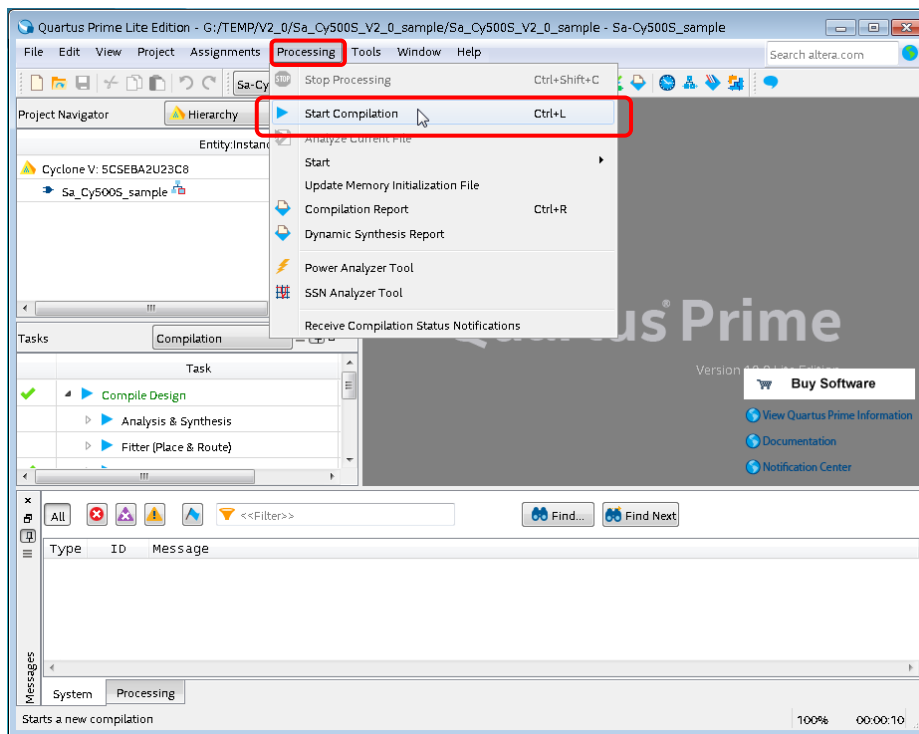
①インテル®Quartus® Prime を起動します。

「File」メニューの「Open Project」を選択し、サンプル HDL プログラム内の「Sa\_Cy500S\_V2\_0\_sample.qpf」ファイルを選択します。



②コンパイルを行います。

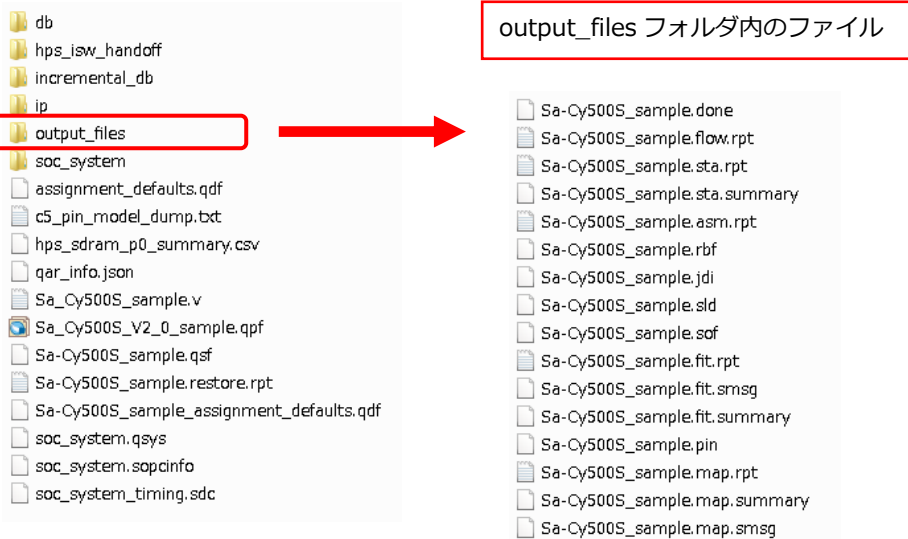
「Processing」メニューの「Start Compilation」を選択し、コンパイルを開始します。



③出力ファイルの確認

コンパイルが完了すると、プロジェクトファイルがあるフォルダに「output\_files」というフォルダが追加され、出力ファイルが生成されていることを確認します。

以上でサンプルプログラムのコンパイルは完了です。



## 4. 動作説明

### 4. 1 サンプルプログラムの動作

本サンプルプログラムは下記の動作を行いません。

- LED

LED (LD3、LD4) の点灯/消灯を HPS 側から制御することができます。

- I/O

拡張コネクタに引き出されている FPGA の I/O のディレクションの設定およびデータの入出力を HPS 側から制御することができます。

- LCD

LCD 画面に単色の色を表示します。HPS 側から色の制御をすることができます。

### 4. 2 アドレスマップ

ベースアドレス 0xFF200000

アドレス	レジスタ名	bit 幅
0x10040	LED 制御レジスタ	32bit
0x10060	BANK3A I/O データレジスタ	32bit
0x10064	BANK3A I/O ディレクションレジスタ	32bit
0x10080	BANK3B I/O データレジスタ	32bit
0x10084	BANK3B I/O ディレクションレジスタ	32bit
0x100A0	BANK4A I/O データレジスタ	32bit
0x100A4	BANK4A I/O ディレクションレジスタ	32bit
0x100C0	BANK5A I/O データレジスタ	32bit
0x100C4	BANK5A I/O ディレクションレジスタ	32bit
0x100E0	BANK8A I/O データレジスタ	32bit
0x100E4	BANK8A I/O ディレクションレジスタ	32bit
0x11000	LCD データレジスタ	32bit
0x11020	LCD リセット制御レジスタ	32bit
0x11040	LCD 割り込みステータスレジスタ	32bit

※上記のレジスタは LW HPS to FPGA の領域に設定されています。アクセスする場合には、HPS 側のアドレスのリマップが必要です。

また、LW HPS to FPGA の領域のベースアドレス (0xFF200000) を付加して、アクセスを行ってください。

### 4. 3 レジスタ一覧

本サンプルプログラムは下記の動作を行いません。

#### ①LED 制御レジスタ

LED3、LED4 の制御を行うためのレジスタです。

アドレス : 0x10040 (ベースアドレス 0xFF200000)

ビット	7	6	5	4	3	2	1	0
名称	0	0	0	0	0	0	LED4_STS	LED3_STS
初期値	-	-	-	-	-	-	1	1
R/W	R	R	R	R	R	R	R/W	R/W

ビット	名称	説明
31~2	-	未使用
1~0	LEDx_STS	LED の消灯/点灯を制御することができるビットです。 0 : LEDx 点灯 1 : LEDx 消灯

## ②BANK3A I/O データレジスタ

FPGA の BANK3A のデータ格納用のレジスタです。

アドレス : 0x10060 (ベースアドレス 0xFF200000)

ビット	15	14	13	12	11	10	9	8
名称	-	-	-	-	-	bank3a10	bank3a9	bank3a8
信号名	-	-	-	-	-	B3A_IO_B8n	B3A_IO_B7n	B3A_IO_B7p
端子番号	-	-	-	-	-	AE6	AA11	Y11
初期値	0	0	0	0	0	-	-	-
R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	7	6	5	4	3	2	1	0
名称	bank3a7	bank3a6	bank3a5	bank3a4	bank3a3	bank3a2	bank3a1	bank3a0
信号名	B3A_IO_B4n	B3A_IO_B4p	B3A_IO_B3n	B3A_IO_B3p	B3A_IO_B2n	B3A_IO_B2p	B3A_IO_B1n	B3A_IO_B1p
端子番号	AB4	AA4	T8	U9	Y4	Y5	Y8	W8
初期値	-	-	-	-	-	-	-	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	説明
31~11	-	未使用
10~0	bank3ax	<p>BANK3A の I/O 端子のデータを格納するレジスタです。</p> <p>端子の状態を出力に設定している場合には、出力データを設定することができ、入力に設定している場合には、入力端子の状態が反映されます。</p> <p>端子出力設定時(リード/ライト可能)</p> <p>0 : Low 出力</p> <p>1 : High 出力</p> <p>端子入力設定時(リードオンリー)</p> <p>0 : Low 入力</p> <p>1 : High 入力</p>

## ③BANK3A I/O ディレクションレジスタ

FPGA の BANK3A の I/O 端子の入出力を設定するレジスタです。

アドレス : 0x10064 (ベースアドレス 0xFF200000)

ビット	15	14	13	12	11	10	9	8
名称	-	-	-	-	-	bank3a10_dir	bank3a9_dir	bank3a8_dir
信号名	-	-	-	-	-	B3A_IO_B8n	B3A_IO_B7n	B3A_IO_B7p
端子番号	-	-	-	-	-	AE6	AA11	Y11
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	7	6	5	4	3	2	1	0
名称	bank3a7_dir	bank3a6_dir	bank3a5_dir	bank3a4_dir	bank3a3_dir	bank3a2_dir	bank3a1_dir	bank3a0_dir
信号名	B3A_IO_B4n	B3A_IO_B4p	B3A_IO_B3n	B3A_IO_B3p	B3A_IO_B2n	B3A_IO_B2p	B3A_IO_B1n	B3A_IO_B1p
端子番号	AB4	AA4	T8	U9	Y4	Y5	Y8	W8
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

ビット	名称	説明
31~11	-	未使用
10~0	bank3ax_dir	BANK3A の I/O 端子の入出力の方向を設定するレジスタです。 0 : 入力 1 : 出力

④BANK3B I/O データレジスタ

FPGA の BANK3B のデータ格納用のレジスタです。

アドレス : 0x10080 (ベースアドレス 0xFF200000)

ビット	31	30	29	28	27	26	25	24
名称	-	-	-	-	bank3b27	bank3b26	bank3b25	bank3b24
信号名	-	-	-	-	B3B_I0_B24n	B3B_I0_B24p	B3B_I0_B22n	B3B_I0_B22p
端子番号	-	-	-	-	AH5	AH6	AD12	AE12
初期値	0	0	0	0	-	-	-	-
R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	23	22	21	20	19	18	17	16
名称	bank3b23	bank3b22	bank3b21	bank3b20	bank3b19	bank3b18	bank3b17	bank3b16
信号名	B3B_I0_B21n	B3B_I0_B21p	B3B_I0_B20n	B3B_I0_B20p	B3B_I0_B19n	B3B_I0_B19p	B3B_I0_B18n	B3B_I0_B18p
端子番号	AH4	AG5	AH2	AH3	T12	T13	AF10	AF11
初期値	-	-	-	-	-	-	-	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8
名称	bank3b15	bank3b14	bank3b13	bank3b12	bank3b11	bank3b10	bank3b9	bank3b8
信号名	B3B_I0_B17n	B3B_I0_B17p	B3B_I0_B16n	B3B_I0_B16p	B3B_I0_B14n	B3B_I0_B14p	B3B_I0_B13n	B3B_I0_B13p
端子番号	AG6	AF7	AF6	AF5	AE11	AD11	AF9	AE8
初期値	-	-	-	-	-	-	-	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	7	6	5	4	3	2	1	0
名称	bank3b7	bank3b6	bank3b5	bank3b4	bank3b3	bank3b2	bank3b1	bank3b0
信号名	B3B_I0_B12n	B3B_I0_B12p	B3B_I0_B11n	B3B_I0_B11p	B3B_I0_B10n	B3B_I0_B10p	B3B_I0_B9n	B3B_I0_B9p
端子番号	AF8	AE7	U11	T11	AE9	AD10	AF4	AE4
初期値	-	-	-	-	-	-	-	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	説明
31~28	-	未使用
27~0	bank3bx	BANK3B の I/O 端子のデータを格納するレジスタです。 端子の状態を出力に設定している場合には、出力データを設定することができ、入力に設定している場合には、入力端子の状態が反映されます。 端子出力設定時(リード/ライト可能) 0 : Low 出力 1 : High 出力 端子入力設定時(リードオンリー) 0 : Low 入力 1 : High 入力



⑤BANK3B I/O ディレクションレジスタ

FPGA の BANK3B の I/O 端子の入出力を設定するレジスタです。

アドレス : 0x10084 (ベースアドレス 0xFF200000)

ビット	31	30	29	28	27	26	25	24
名称	-	-	-	-	bank3b27_dir	bank3b26_dir	bank3b25_dir	bank3b24_dir
信号名	-	-	-	-	B3B_I0_B24n	B3B_I0_B24p	B3B_I0_B22n	B3B_I0_B22p
端子番号	-	-	-	-	AH5	AH6	AD12	AE12
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	23	22	21	20	19	18	17	16
名称	bank3b23_dir	bank3b22_dir	bank3b21_dir	bank3b20_dir	bank3b19_dir	bank3b18_dir	bank3b17_dir	bank3b16_dir
信号名	B3B_I0_B21n	B3B_I0_B21p	B3B_I0_B20n	B3B_I0_B20p	B3B_I0_B19n	B3B_I0_B19p	B3B_I0_B18n	B3B_I0_B18p
端子番号	AH4	AG5	AH2	AH3	T12	T13	AF10	AF11
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8
名称	bank3b15_dir	bank3b14_dir	bank3b13_dir	bank3b12_dir	bank3b11_dir	bank3b10_dir	bank3b9_dir	bank3b8_dir
信号名	B3B_I0_B17n	B3B_I0_B17p	B3B_I0_B16n	B3B_I0_B16p	B3B_I0_B14n	B3B_I0_B14p	B3B_I0_B13n	B3B_I0_B13p
端子番号	AG6	AF7	AF6	AF5	AE11	AD11	AF9	AE8
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	7	6	5	4	3	2	1	0
名称	bank3b7_dir	bank3b6_dir	bank3b5_dir	bank3b4_dir	bank3b3_dir	bank3b2_dir	bank3b1_dir	bank3b0_dir
信号名	B3B_I0_B12n	B3B_I0_B12p	B3B_I0_B11n	B3B_I0_B11p	B3B_I0_B10n	B3B_I0_B10p	B3B_I0_B9n	B3B_I0_B9p
端子番号	AF8	AE7	U11	T11	AE9	AD10	AF4	AE4
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	説明
31~28	-	未使用
27~0	bank3bx_dir	BANK3B の I/O 端子の入出力の方向を設定するレジスタです。 0 : 入力 1 : 出力

⑥BANK4A I/O データレジスタ

FPGA の BANK4A のデータ格納用のレジスタです。

アドレス : 0x100A0 (ベースアドレス 0xFF200000)

ビット	23	22	21	20	19	18	17	16
名称	-	bank4a22	bank4a21	bank4a20	bank4a19	bank4a18	bank4a17	bank4a16
信号名	-	B4A_IO_B64n	B4A_IO_B64p	B4A_IO_B62n	B4A_IO_B62p	B4A_IO_B61n	B4A_IO_B61p	B4A_IO_B60n
端子番号	-	AF28	AF27	AG25	AF25	AH27	AG28	AH26
初期値	0	-	-	-	-	-	-	-
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8
名称	bank4a15	bank4a14	bank4a13	bank4a12	bank4a11	bank4a10	bank4a9	bank4a8
信号名	B4A_IO_B59n	B4A_IO_B59p	B4A_IO_B58n	B4A_IO_B58p	B4A_IO_B57p	B4A_IO_B56n	B4A_IO_B56p	B4A_IO_B44n
端子番号	AG23	AG22	AE23	AE24	AG26	AH24	AG24	AH18
初期値	-	-	-	-	-	-	-	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	7	6	5	4	3	2	1	0
名称	bank4a7	bank4a6	bank4a5	bank4a4	bank4a3	bank4a2	bank4a1	bank4a0
信号名	B4A_IO_B44p	B4A_IO_B43n	B4A_IO_B43p	B4A_IO_B42n	B4A_IO_B42p	B4A_IO_B41p	B4A_IO_B40n	B4A_IO_B40p
端子番号	AG18	AA18	AA19	AD19	AE19	AF18	AH16	AH17
初期値	-	-	-	-	-	-	-	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	説明
31~23	-	未使用
22~0	bank4ax	BANK4A の I/O 端子のデータを格納するレジスタです。 端子の状態を出力に設定している場合には、出力データを設定することができ、入力に設定している場合には、入力端子の状態が反映されます。 端子出力設定時(リード/ライト可能) 0 : Low 出力 1 : High 出力 端子入力設定時(リードオンリー) 0 : Low 入力 1 : High 入力

## ⑦BANK4A I/O ディレクションレジスタ

FPGA の BANK4A の I/O 端子の入出力を設定するレジスタです。

アドレス : 0x100A4 (ベースアドレス 0xFF200000)

ビット	23	22	21	20	19	18	17	16
名称	-	bank4a22_dir	bank4a21_dir	bank4a20_dir	bank4a19_dir	bank4a18_dir	bank4a17_dir	bank4a16_dir
信号名	-	B4A_IO_B64n	B4A_IO_B64p	B4A_IO_B62n	B4A_IO_B62p	B4A_IO_B61n	B4A_IO_B61p	B4A_IO_B60n
端子番号	-	AF28	AF27	AG25	AF25	AH27	AG28	AH26
初期値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8
名称	bank4a15_dir	bank4a14_dir	bank4a13_dir	bank4a12_dir	bank4a11_dir	bank4a10_dir	bank4a9_dir	bank4a8_dir
信号名	B4A_IO_B59n	B4A_IO_B59p	B4A_IO_B58n	B4A_IO_B58p	B4A_IO_B57p	B4A_IO_B56n	B4A_IO_B56p	B4A_IO_B44n
端子番号	AG23	AG22	AE23	AE24	AG26	AH24	AG24	AH18
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	7	6	5	4	3	2	1	0
名称	bank4a7_dir	bank4a6_dir	bank4a5_dir	bank4a4_dir	bank4a3_dir	bank4a2_dir	bank4a1_dir	bank4a0_dir
信号名	B4A_IO_B44p	B4A_IO_B43n	B4A_IO_B43p	B4A_IO_B42n	B4A_IO_B42p	B4A_IO_B41p	B4A_IO_B40n	B4A_IO_B40p
端子番号	AG18	AA18	AA19	AD19	AE19	AF18	AH16	AH17
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	説明
31~23	-	未使用
22~0	bank4ax_dir	BANK4A の I/O 端子の入出力の方向を設定するレジスタです。 0 : 入力 1 : 出力

## ⑧BANK5A I/O データレジスタ

FPGA の BANK5A のデータ格納用のレジスタです。

アドレス : 0x100C0 (ベースアドレス 0xFF200000)

ビット	15	14	13	12	11	10	9	8
名称	-	-	bank5a13	bank5a12	bank5a11	bank5a10	bank5a9	bank5a8
信号名	-	-	B5A_I0_R8n	B5A_I0_R8p	B5A_I0_R6n	B5A_I0_R6p	B5A_I0_R5n	B5A_I0_R5p
端子番号	-	-	V15	V16	W15	Y16	AB23	AC24
初期値	0	0	-	-	-	-	-	-
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	7	6	5	4	3	2	1	0
名称	bank5a7	bank5a6	bank5a5	bank5a4	bank5a3	bank5a2	bank5a1	bank5a0
信号名	B5A_I0_R4n	B5A_I0_R4p	B5A_I0_R3n	B5A_I0_R3p	B5A_I0_R2N	B5A_I0_R2p	B5A_I0_R1n	B5A_I0_R1p
端子番号	Y18	Y17	AD26	AE25	Y19	AA20	AE26	AF26
初期値	-	-	-	-	-	-	-	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	説明
31~14	-	未使用
13~0	bank5ax	<p>BANK5A の I/O 端子のデータを格納するレジスタです。</p> <p>端子の状態を出力に設定している場合には、出力データを設定することができ、入力に設定している場合には、入力端子の状態が反映されます。</p> <p>端子出力設定時(リード/ライト可能)</p> <p>0 : Low 出力</p> <p>1 : High 出力</p> <p>端子入力設定時(リードオンリー)</p> <p>0 : Low 入力</p> <p>1 : High 入力</p>

## ⑨BANK5A I/O ディレクションレジスタ

FPGA の BANK5A の I/O 端子の入出力を設定するレジスタです。

アドレス : 0x100C4 (ベースアドレス 0xFF200000)

ビット	15	14	13	12	11	10	9	8
名称	-	-	bank5a13_dir	bank5a12_dir	bank5a11_dir	bank5a10_dir	bank5a9_dir	bank5a8_dir
信号名	-	-	B5A_IO_R8n	B5A_IO_R8p	B5A_IO_R6n	B5A_IO_R6p	B5A_IO_R5n	B5A_IO_R5p
端子番号	-	-	V15	V16	W15	Y16	AB23	AC24
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	7	6	5	4	3	2	1	0
名称	bank5a7_dir	bank5a6_dir	bank5a5_dir	bank5a4_dir	bank5a3_dir	bank5a2_dir	bank5a1_dir	bank5a0_dir
信号名	B5A_IO_R4n	B5A_IO_R4p	B5A_IO_R3n	B5A_IO_R3p	B5A_IO_R2N	B5A_IO_R2p	B5A_IO_R1n	B5A_IO_R1p
端子番号	Y18	Y17	AD26	AE25	Y19	AA20	AE26	AF26
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	説明
31~14	-	未使用
13~0	bank5ax_dir	BANK5A の I/O 端子の入出力の方向を設定するレジスタです。 0 : 入力 1 : 出力

## ⑩BANK8A I/O データレジスタ

FPGA の BANK8A のデータ格納用のレジスタです。

アドレス : 0x100E0 (ベースアドレス 0xFF200000)

ビット	15	14	13	12	11	10	9	8
名称	-	-	-	-	-	-	-	bank8a8
信号名	-	-	-	-	-	-	-	B8A_IO_T24n
端子番号	-	-	-	-	-	-	-	H4
初期値	0	0	-	-	-	-	-	-
R/W	R	R	R	R	R	R	R	R/W

ビット	7	6	5	4	3	2	1	0
名称	bank8a7	bank8a6	bank8a5	bank8a4	bank8a3	bank8a2	bank8a1	bank8a0
信号名	B8A_IO_T23n	B8A_IO_T23p	B8A_IO_T22n	B8A_IO_T22p	B8A_IO_T21n	B8A_IO_T21p	B8A_IO_T4n	B8A_IO_T4p
端子番号	K8	L8	H5	H6	L9	L10	D8	E8
初期値	-	-	-	-	-	-	-	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	説明
31~9	-	未使用
8~0	bank8ax	<p>BANK8A の I/O 端子のデータを格納するレジスタです。</p> <p>端子の状態を出力に設定している場合には、出力データを設定することができ、入力に設定している場合には、入力端子の状態が反映されます。</p> <p>端子出力設定時(リード/ライト可能)</p> <p>0 : Low 出力</p> <p>1 : High 出力</p> <p>端子入力設定時(リードオンリー)</p> <p>0 : Low 入力</p> <p>1 : High 入力</p>

①BANK8A I/O ディレクションレジスタ

FPGA の BANK8A の I/O 端子の入出力を設定するレジスタです。

アドレス : 0x100E4 (ベースアドレス 0xFF200000)

ビット	15	14	13	12	11	10	9	8
名称	-	-	-	-	-	-	-	bank8a8_dir
信号名	-	-	-	-	-	-	-	B8A_IO_T24n
端子番号	-	-	-	-	-	-	-	H4
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

ビット	7	6	5	4	3	2	1	0
名称	bank8a7_dir	bank8a6_dir	bank8a5_dir	bank8a4_dir	bank8a3_dir	bank8a2_dir	bank8a1_dir	bank8a0_dir
信号名	B8A_IO_T23n	B8A_IO_T23p	B8A_IO_T22n	B8A_IO_T22p	B8A_IO_T21n	B8A_IO_T21p	B8A_IO_T4n	B8A_IO_T4p
端子番号	K8	L8	H5	H6	L9	L10	D8	E8
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	説明
31~9	-	未使用
8~0	bank8ax_dir	BANK8A の I/O 端子の入出力の方向を設定するレジスタです。 0 : 入力 1 : 出力

## ⑫LCD データレジスタ

弊社 LCD キットを接続する場合、画面に表示する色を設定するレジスタです。

アドレス : 0x11000 (ベースアドレス 0xFF200000)

ビット	23	22	21	20	19	18	17	16
名称	-	-	-	-	-	-	lcd_data17	lcd_data16
信号名	-	-	-	-	-	-	V3	W14
端子番号	-	-	-	-	-	-	LCD_DATA17	LCD_DATA16
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8
名称	lcd_data15	lcd_data14	lcd_data13	lcd_data12	lcd_data11	lcd_data10	lcd_data9	lcd_data8
信号名	AG16	AF17	AH12	AH11	AG11	AE15	AF15	AH9
端子番号	LCD_DATA15	LCD_DATA14	LCD_DATA13	LCD_DATA12	LCD_DATA11	LCD_DATA10	LCD_DATA9	LCD_DATA8
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	7	6	5	4	3	2	1	0
名称	lcd_data7	lcd_data6	lcd_data5	lcd_data4	lcd_data3	lcd_data2	lcd_data1	lcd_data0
信号名	AG10	AH8	AG9	U13	U14	AF13	AG13	AG8
端子番号	LCD_DATA7	LCD_DATA6	LCD_DATA5	LCD_DATA4	LCD_DATA3	LCD_DATA2	LCD_DATA1	LCD_DATA0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	説明
31~18	-	未使用
17~12	lcd_data[17..12]	LCD データ Red
11~6	lcd_data[11..6]	LCD データ Green
5~0	lcd_data[5..0]	LCD データ Blue



⑬LCD リセット制御レジスタ

弊社 LCD キットを接続する場合、LCD キットのリセット信号を制御するレジスタです。

アドレス : 0x11020 (ベースアドレス 0xFF200000)

ビット	7	6	5	4	3	2	1	0
名称	-	-	-	-	-	-	-	lcd_reset
信号名	-	-	-	-	-	-	-	
端子番号	-	-	-	-	-	-	-	
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

ビット	名称	説明
31~1	-	未使用
0	lcd_reset	LCD キットのリセット信号のレベルを設定します。 0 : Low 出力(リセット状態) 1 : High 出力(非リセット状態)

⑭LCD 割り込みステータスレジスタ

弊社 LCD キットを接続する場合、LCD キットの割り込み信号を監視するレジスタです。

アドレス : 0x11040 (ベースアドレス 0xFF200000)

ビット	7	6	5	4	3	2	1	0
名称	-	-	-	-	-	-	-	lcd_int
信号名	-	-	-	-	-	-	-	
端子番号	-	-	-	-	-	-	-	
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

ビット	名称	説明
31~1	-	未使用
0	lcd_int	LCD キットの割り込み信号の状態を表示します。 0 : Low (割り込み発生状態) 1 : High (割り込み非発生状態)

## ご注意

- ・本文書の著作権は株式会社アルファプロジェクトが保有します。
- ・本文書の内容を無断で転載することは一切禁止します。
- ・本文書に記載されているサンプルプログラムの著作権は株式会社アルファプロジェクトが保有します。
- ・本文書の内容は、将来予告なしに変更されることがあります。
- ・本文書に記載されている内容およびサンプルプログラムについての技術サポートは一切受け付けておりません。
- ・本文書の内容については、万全を期して作成いたしました。万が一不審な点、誤りなどお気づきの点がありましたら弊社までご連絡下さい。
- ・本文書の内容およびサンプルプログラムに基づき、アプリケーションを運用した結果、万一損害が発生しても、弊社では一切責任を負いませんのでご了承下さい。

## 商標について

- ・ Arm<sup>®</sup> および Cortex<sup>®</sup> は、Arm Limited の登録商標です。
- ・ Cyclone<sup>®</sup> V および Cyclone<sup>®</sup> V SoC は、Intel Corporation の登録商標、商標または商品名称です。
- ・ その他の会社名、製品名は、各社の登録商標または商標です。



株式会社アルファプロジェクト  
〒431-3114  
静岡県浜松市中央区積志町 834  
<https://www.apnet.co.jp>  
E-Mail: [query@apnet.co.jp](mailto:query@apnet.co.jp)