1版 2010年04月26日

ALPHA PROJECT CO.,LTD.

# 1. 概要

#### 1.1 概要

HJ-LINK/USB は、「<u>cblsrv-0.1\_ft2232</u>」と Xilinx 社のダウンロードツール「iMPACT」を組み合わせることにより、Xilinx 社 の CPLD、FPGA にコンフィギュレーションデータをダウンロードすることができます。



#### 1.2 cblsrv-0.1\_ft2232 について

cblsrv-0.1\_ft2232は、リモートケーブルのプロトコルを調べ Xilinx 社純正 JTAG ケーブル以外の JTAG ケーブルも iMPACT に対応させているソフトウェアです。

リモートケーブルとは、書込みを指示する iMPACT が実行されている PC と JTAG ケーブルが接続されている PC が異なる場合、 操作の指示を TCP/IP で JTAG ケーブル側の PC に転送する方法です。

cblsrv-0.1\_ft2232の開発者 fenrir 氏のホームページ <u>http://fenrir.naruoka.org/</u> cblsrv-0.1\_ft2232のダウンロードページ <u>http://fenrir.naruoka.org/archives/000644.html</u>

<sup>\*1</sup> cblsrv-0.1\_ft2232 は無保証のツールであり、使用によって損害が生じても開発者および(株)アルファプロジェ クトは一切の責任は負いませんのでご了承ください。

#### 1.3 サポートデバイス

HJ-LINK/USB は、cblsrv-0.1\_ft2232 と組み合わせて使用した場合、以下の Xilinx デバイスに対応しています。

	対応デバイス
弊社確認済みデバイス	SPARTAN-XL: XCS40XL SPARTAN-3E: XC3S1600E CPLD: XC9572XL コンフィギュレーションメモリ: XCF01S
開発者ホームページで動作確認報告 されているデバイス	コンフィギュレーションメモリ:XCF02S

#### 1.4 準備物

- HJ-LINK/USB
- ・USB ケーブル
- ・JTAG ケーブル\*1 (①10 ピンバラケーブル、②10 ピンリボンケーブル、③10 ピン→2.0mm ピッチ 14 ピン変換基板)
- ・XilinxのCPLD/FPGAが搭載されたボード\*2(以降ターゲットボードと記載)



下図は、HJ-LINK/USB とターゲットボードを JTAG ケーブル(10 ピンバラケーブル)で接続した図です。



#### 1.5 スイッチの設定

#### 1.5.1 JTAG インタフェース電圧の設定

HJ-LINK/USB は、使用するターゲット CPU またはターゲットデバイスの JTAG インタフェース電圧の設定を SW1 で行います。JTAG インタフェース電圧は、5V と 3.3V の設定の他に、ターゲットボードより電源を供給する AUTO があります。 AUTO に設定する場合には、必ず使用するインタフェースの JTAG コネクタの4 ピンをターゲット電圧に接続してください。



	SW1	
Т	ARGET	VCC
3.3V	AUTO	5V

<出荷時設定> JTAG ピンの電圧設定 : AUTO

SW1	JTAG インタフェース電圧	備考
3. 3V	3.3V 固定	
AUTO	JTAG 端子の 4 ピンより電源を供給	出荷時設定
5V	5V 固定	

## 1.5.2 デバイスの設定

HJ-LINK/USB では、接続する CPU またはデバイスに応じて SW2-2 を設定する必要があります。Xilinx 製のデバイスを使用する 場合は、「OTHER」に設定してください。



	2	DEVICE
0	N	ALTERA
0	F	OTHER



<出荷時設定>デバイスの設定 : 0THER

SW2-2	接続する CPU またはデバイス	備考
ALTERA	ALTERA 製のデバイス	
OTHER	ALTERA 製以外のデバイスまたは CPU	出荷時設定

# 2. CPLD、FPGA のコンフィギュレーション方法

#### 2.1 ソフトウェアの準備

#### 2.1.1 ソフトウェアのインストール

XilinxのCPLD、FPGA にコンフィギュレーションデータをダウンロードするには以下のソフトウェアをインストールしておいて ください。

- ・Xilinx 社の FPGA 開発ソフトウェア「ISE」(Xilinx 社)
- ・Xilinx 社のコンフィギュレーションソフトウェア「iMPACT」(Xilinx 社)
- ・HJ-LINK/USB の USB デバイスドライバ(FTDI 社)

(USB ドライバのインストール方法については、HJ-LINK/USB の取扱説明書を参照してください。)

### 2.1.2 ソフトウェアのダウンロード

XilinxのCPLD、FPGAにコンフィギュレーションデータをダウンロードするには以下のソフトウェアをダウンロードしておいて ください。

・cblsrv-0. 1\_ft2232 cblsrv-0. 1\_ft2232 のダウンロードページ

http://fenrir.naruoka.org/archives/000644.html

アプリケーションノート AN161

### 2.2 コンフィギュレーション手順

手順の流れは下図のようになります。



#### ① 回路図のソースの作成

Xilinx 社の FPGA 開発ソフトウェア「ISE」を使用して、回路図ソースを作成します。

🚾 Xilinx - ISE - C:¥Xilinx¥work¥sample¥sample¥	sample.ise - [sample.v]	
V File Edit View Project Source Process Window	/ Help	8×
🗋 🖻 🗊 😓   🐰 🖬 🎧 🗶 🖄 🍽	🖸 🛛 🗩 🔎 🗶 💥 🔎 🖻 💫 🛛 🔁 🗉 🗖 🗖 🥙 🎊 🕅 🐼 🐼 🗚 🕅 💆 🖉	
] f 🖉 🖉 🎕 🛛 🏗 跳 跳 跳 🛛 🖉	三 当 国 国 🔺 🛪 🛪 🍋 🗶	
×	1 // Verilog Test Fixture Template	
Sources for: Implementation	2	
🗟 sample	3 `timescale 1 ns / 1 ps	
- (1) xc9572xI-5VQ64	4	
	<pre>5 module TEST_gate;</pre>	
	6 reg <signal1>;</signal1>	
	7 reg [2:0] <signal2>;</signal2>	
📭 Sources 🏠 Files 🛛 📸 Snapshot 🕞 Libraries	o wire (3:0) <signal3>;</signal3>	
	10	
×	11 <pre><module name=""> <instance name=""> (</instance></module></pre>	
Processes for: xc9572xI-5VQ64	12 <port1>,</port1>	
- Add Existing Source	13 <port2></port2>	
	14 );	
🗄 🎾 Design Utilities	15	
	16 integer <namel>;</namel>	
🖶 🤁 Compile HDL Simulation Libraries	17 Integer <namez>;</namez>	
🦾 🌐 Pre-Assign Package Pins	19 // The following code initializes the Global Set Reset (GSR) as	nc
	20 // Refer to the Synthesis and Simulation Design Guide for more	i
	21 reg GSR;	
	<pre>22 assign glb1.GSR = GSR;</pre>	
	23 reg GTS;	
	24 assign glbl.GTS = GTS;	
	25	<u>ل</u> تے.
■		<u> </u>
	V sample.v	
🛎 🏦 WARNING: There is no design so	urce to which the test bench can be attached, using boilerplate.	<u> </u>
Process "Create Verilog Test F	ixture" completed successfully	
Chambed & Wienschine ICE Torr		
started : "Launching 15E Text	Laitor to eait sample.v".	
		٦Ť
Console	Tcl Shell 🙀 Find in Files	- 1
	CAPS NUM SCRL Ln 16 Col 8 Veril	og //

#### ② コンパイル

回路図ソース作成後、コンフィギュレーションデータを作成します。サイドメニューバーにある「Generate Programming File」をダブルクリックすることでコンパイルが開始されます。



コンパイルに成功すると、「Generate Programming File」のアイコンが緑色のチェックマークアイコンになり コンフィギュレーションデータが作成されます。コンフィギュレーションデータの拡張子は「\*\*.jed」です。



下図は C: ¥Xilinx ¥work ¥sample というフォルダに sample というプロジェクトを作成し、コンパイルした結果です。 作成される sample. jed が以降で使用するコンフィギュレーションデータになります。

🚞 sample				
ファイル(E) 編集(E) 表示(⊻)	お気に入り( <u>A</u> ) ツ	ール(I) ヘルプ(H)		20
🔇 戻る • 🕥 - 🏂 🔎	)検索 🔂 フォル	ğ 🛄 •		
アドレス(D) 🛅 C:¥Xilinx¥work¥sam	ple			🔽 ラ 移動
名前 🔺	サイズ	種類	更新日時	▲
🗐 sample.rpt	49 KB	テキストドキュメント	2010/04/16 12:06	
👼 sample.stx	0 KB	STX ファイル	2010/04/16 12:06	
🖬 sample.syr	10 KB	SYR ファイル	2010/04/16 12:06	
👼 sample.tim	0 KB	TIM ファイル	2010/04/16 12:07	
👼 sample.tspec	42 KB	TSPEC ファイル	2010/04/16 12:07	
🗐 sample.v	14 KB	テキストドキュメント	2010/04/16 11:58	
🖬 sample.vm6	331 KB	VM6 ファイル	2010/04/16 12:06	
📄 sample.xml	76 KB	XML ドキュメント	2010/04/16 12:06	
🖬 sample.xst	1 KB	XST ファイル	2010/04/16 12:06	
📄 sample_build.xml	8 KB	XML ドキュメント	2010/04/16 12:06	
🖬 sample_ngdbuild.xrpt	1 KB	XRPT ファイル	2010/04/16 12:06	
🗟 sample_pad.csv	4 KB	Microsoft Office Exc	2010/04/16 12:06	_
isample_xst.xrpt	4 KB	XRPT ファイル	2010/04/16 12:06	
tmperr.err	0 KB	ERR ファイル	2010/04/16 12:07	
🖬 sample, jed	71 KB	JED ファイル	2010/04/16 12:07	
				•

#### ③ HJ-LINK/USBの接続

HJ-LINK/USB とターゲットボードを付属の JTAG ケーブルで接続します。



④ cblsrv-0.1\_ft2232の準備

cblsrv-0.1\_ft2232\_r4804.zip\*1を解凍してください。解凍先フォルダをC:¥Xilinx¥cblsrv-0.1\_ft2232\_r4804として 説明します。

Windows のコマンド プロンプトを起動し、cblsrv-0.1\_ft2232 の実行ファイル「cblsrv.exe」がある「C:¥Xilinx¥cblsrv-0.1\_ft2232\_r4804¥build¥win32¥Release」へ移動します。

C:¥>cd C:¥Xilinx¥cblsrv-0.1\_ft2232\_r4804¥build¥win32¥Release C:¥Xilinx¥cblsrv-0.1\_ft2232\_r4804¥build¥win32¥Release>

\*1 cblsrv-0.1\_ft2232はr4740、r4788、r4804等のバージョンがありますが、本アプリケーションノートでは r4804を使用して説明します。

#### ⑤ cblsrv-0.1\_ft2232 の実行

「cblsrv.exe」を実行します。以下のコマンドを入力します。 本アプリケーションノートでは、使用するポート番号には50000を入力していますが、ポート番号にはお客様の使用 環境に合わせたポート番号に変更してください。 cblsrv.exe -c amontec -p (ポート番号)

C:¥Xilinx¥cblsrv-0.1\_ft2232\_r4804¥build¥win32¥Release> cblsrv.exe -c amontec -p 50000 Cable Server 0.1 for Xilinx Impact 8.2i (Mar 19 2010, 18:20:06) Copyright (c) 2006, Zoltan Csizmadia (zoltan\_csizmadia@yahoo.com)

and modified by fenrir for amontec JTAGKey support.

Cable is 'USB <-> Serial Cable A

Hit CTRL+C to exit program. Be sure to disconnect cable from Impact (Output/Cable disconnect), otherwise Impact will crash! iMPACT とターゲットボードを JTAG 接続
 ターゲットボードの電源を入れます。

```
「スタートメニュー」→「Xilinx ISE Design Suite 10.1」→「ISE」→「アクセサリ」→「iMPACT」を選択し、iMPACT*4 を起動します。
```

説明に使用する iMPACT のバージョンは 10.1.03 を使用しています。



iMPACT のサイドメニューバーにある「Boundary Scan」をダブルクリックします。

Seimpact	- 🗆 🗵
<u>File Edit View Operations Options Output Debug Window H</u> elp	
<mark>                                  </mark>	
Boundary Scan	
- Say SlaveSerial	
Bullesktop Configuration	
PROM File Formatter	
Modes	
Operations http://www.xilin	nx.com
Welcome to iMPACT	_
iMPACT Version: 10.1.03	
▲ Output & Error & Warning /	



ダブルクリックするとメイン画面に Boundary Scan 画面が表示されます。

🐉 iMPACT - [Boundary Scan]		-OX
🛞 Eile Edit View Operations Options Output Debug Windo	ow <u>H</u> elp	_ 8 ×
🖻 🖥 👗 🛍 🗮 🗮 🗮 🗮 🗮	# 0 Ø N?	
SlaveSerial	Right click to Add Device or Initialize JTAG chain	
Modes Available Operations are: Operations		
Welcome to iMPACT iMPACT Version: 10.1.03 // *** BATCH CMD : setMode -bs // *** BATCH CMD : setMode -bs		× ×
Output (Error (Warning		
	No Cable Connection No File Oper	1   //

iMPACT のメニューバーにある「Output」から「Cable Setup ...」を選択します。

「Cable Communication Setup」ウィンドウが開いたら、「Cable Location」項目にある「Remote」を選択し、 「Host Name」に「localhost:ポート番号」を入力します。ポート番号には⑤で入力したポート番号を入力します。 設定後「OK」ボタンを押します。

Scable Communication Setup	×
Communication Mode	
🔿 Parallel IV	
C MultiPRO Advanced USB Cable S	Setup
TCK Speed/Paud Pate: Port:	
× .	<u> </u>
Cable Location	
<ul> <li>C Local</li> <li>Host Name: localhost:500</li> <li>Iocalhost:500</li> </ul>	00
OK Cancel	Help

iMPACTのメイン画面を右クリックして表示されたメニューから「Initialize Chain」を選択します。



接続に成功すると、デバイスが検出されます。



接続成功後、コンフィフィギュレーションデータを選択する画面が表示されます。 ②で作成した、コンフィギュレーションデータを選び、「Open」を選択します。

🐉 Assign New Configuration File	<u>?</u> ×
Look in: 🔄 C:/Xilinx/work/sample/	È 💣 🔠 🗰
🗀 🔲 sample jed	
ingo	
🔁 🗀 _×msgs	
🛅 sample	
🔁 🗀 sample_html	
🔁 🛅 sample_xdb	
🚞 xst	
File <u>n</u> ame: samplejed	Open
File type: All Design Files (*jed *.isc *bsd)	Cancel
Cancel <u>A</u> II	<u>B</u> ypass
None	
C Enable Programming of SPI Flash Device Attached to this FPGA	4
C Enable Programming of BPI Flash Device Attached to this FPGA	4

書込み設定画面が表示されますので、「Verify」と「Erase Before Programming」にチェックを入れ「OK」を選択 します。

Device Programming Properties - Category	Device 1 Programming Properties		×
Device 1 (CPLD, xc9572xI)	Property Name	Value	
	Verify	<b>v</b>	
	General CPLD And PROM Properties		
	Erase Before Programming		
	Read Protect		
	CPLD Specific Properties		
	Write Protect		
	Functional Test		
		OK Cancel Apply	Help

読み込むと、コンフィギュレーションデータ名がデバイス名の下に表示されます。

🐉 iMPACT - [Boundary Scan]		
😵 Eile Edit View Operations Output Debug Window Help	_ 8	
🌶 🖥 👗 🔓 🗙 😫 💥 😫 💥 🔡 🖽 🏥 😫	😄 O 🕼 🕅	
Image: Second State St		
Available Operations are:		
Derations		
Boundary Scan		
<pre>Elapsed time = 1 sec. // *** BATCH CMD : identifyMPM // *** BATCH CMD : assignFile -p 1 -file "C:/Xilinx/work/sample/sample.jed" '1': Loading file 'C:/Xilinx/work/sample/sample.jed' done. INFO:iMPACT:501 - '1': Added Device xc9572x1 successfully.</pre>		
Output (Error (Warning		
	Configuration Parallel III 200 KHz LPT1	

## ⑦ コンフィギュレーションデータ書込み

ターゲットボードにコンフィギュレーションデータを書き込みます。 デバイスアイコン上で右クリックして「Program」を選択します。





コンフィギュレーションデータの書込みが成功すると、メイン画面の右下に「Program Succeeded」と表示されます。

iMPACT を終了させた後、動作中の cblsrv-0.1\_ft223 を終了させる必要があります。 cblsrv-0.1\_ft2232 を動作させているコマンドプロンプト上で「Ctrl+C」キーを押すことで終了させることができます。

## 謝辞

アプリケーションノート AN161

本アプリケーションノートを作成するにあたり、「cblsrv-0.1\_ft223」を利用させていただきました。 「cblsrv-0.1\_ft223」を開発、公開された fenrir 様に深く感謝いたします。

## ご注意

本文書の著作権は(株)アルファプロジェクトが保有します。 本文書の内容を無断で転載することは一切禁止します。

本文書の内容は、将来予告なしに変更されることがあります。

本文書に記載されている内容についての質問等のサポートは一切受け付けておりませんのでご了承ください。

本文書の内容については、万全を期して作成いたしましたが、万一ご不審な点、誤りなどお気付きの点がありましたら弊社までご連絡下 さい。

本文書の内容に基づき、アプリケーションを運用した結果、万一損害が発生しても、弊社では一切責任を負いませんのでご了承下さい。 本文書に記載した cblsrv-0.1\_ft2232 はインターネット上で公開されている無保証のツールであり、本件およびその他の目的で使用することによって生じた損害をいかなる者にも問うことはできません。

## 商標について

・Windows®の正式名称は Microsoft®Windows®Operating System です。

- ・Microsoft、Windows は、米国 Microsoft Corporation.の米国およびその他の国における商標または登録商標です。
- ・Windows®7、Windows®Vista、Windows®XP、Windows®2000 Professional は、米国 Microsoft Corporation.の商品名称です。

本文書では下記のように省略して記載している場合がございます。ご了承下さい。

- ・Windows®7はWindows7もしくはWin7
- ・Windows®Vista は Windows Vista もしくは WinVista
- ・Windows®XPはWindows XPもしくはWinXP
- ・Windows®2000 Professional は Windows 2000 もしくは Win2000
- ・その他の会社名、製品名は、各社の登録商標または商標です。

# 🗭 ALPHA PROJECT Co.,LTD.

株式会社アルファプロジェクト 〒431-3114 静岡県浜松市東区積志町834 http://www.apnet.co.jp E-MAIL:query@apnet.co.jp